

日 本 国 特 許 庁
JAPAN PATENT OFFICE

26. 3. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

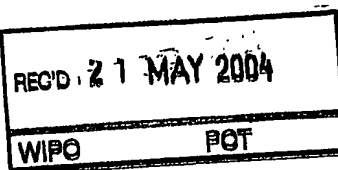
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 3 月 2 6 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 8 6 4 9 9
[ST. 10/C]: [J P 2 0 0 3 - 0 8 6 4 9 9]

出 願 人
Applicant(s): 独 立 行 政 法 人 科 学 技 術 振 興 機 構

BEST AVAILABLE COPY

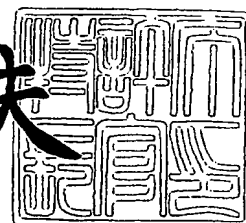


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 4 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 P03-0171

【特記事項】 特許法第30条第1項の規定の適用を受けようとする特許出願

【提出日】 平成15年 3月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 スピン依存伝達特性を有するトランジスタを用いた再構成可能な論理回路

【請求項の数】 48

【発明者】

 【住所又は居所】 東京都北区滝野川 1-21-6 111号

 【氏名】 松野 知紘

【発明者】

 【住所又は居所】 神奈川県横浜市中区本牧原 21-1-603

 【氏名】 菅原 聡

【発明者】

 【住所又は居所】 埼玉県さいたま市井沼方 647-6-201

 【氏名】 田中 雅明

【特許出願人】

 【識別番号】 396020800

 【氏名又は名称】 科学技術振興事業団

【代理人】

 【識別番号】 100091096

 【弁理士】

 【氏名又は名称】 平木 祐輔

【選任した代理人】

【識別番号】 100102576

【弁理士】

【氏名又は名称】 渡辺 敏章

【選任した代理人】

【識別番号】 100108394

【弁理士】

【氏名又は名称】 今村 健一

【手数料の表示】

【予納台帳番号】 015244

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 スピン依存伝達特性を有するトランジスタを用いた再構成可能な論理回路

【特許請求の範囲】

【請求項1】 伝導キャリアのスピンの方に依存する伝達特性を有する第1のトランジスタ（以下、「スピントランジスタ」と称する。）を含む回路であって、

前記伝導キャリアのスピンの方を変えることにより変化する前記第1のトランジスタの伝達特性を変化させることにより動作点を移動させて機能を再構成することができる回路。

【請求項2】 第1の端子であって、前記動作点が前記第1の端子の電位により決められる第1の端子を充電するための第1の回路群と、前記第1の端子を放電するための第2の回路群とを有しており、前記第1の端子の電位を出力電圧とする回路であって、前記第1の回路群と前記第2の回路群とのいずれか一方、あるいは両方に前記スピントランジスタを含む請求項1に記載の回路。

【請求項3】 前記スピントランジスタの伝達特性を制御することにより前記第1の端子の電位を定めて前記動作点を決定することを特徴とする請求項2に記載の回路。

【請求項4】 入力キャパシタンスの容量により重み付けされた複数の入力信号に基づきアナログ信号を出力する第2のトランジスタ（以下、「PMOS」と称する。）によって入力信号が入力される請求項3に記載の回路。

【請求項5】 前記複数の入力信号のそれぞれが略等しくなるように重み付けされていることを特徴とする請求項4に記載の回路。

【請求項6】 前記スピントランジスタの伝達特性の変化に基づき、前記第1の端子に生じる電位を“0”と“1”の出力に切り分ける閾値を設定することを特徴とする請求項1から5までに記載の回路。

【請求項7】 請求項1から6までに記載の回路の出力端子に、ある定められた閾値をもつA/Dコンバータを接続されていることを特徴とする回路。

【請求項8】 請求項1から6までのいずれか1項に記載の回路の出力端子

に、可変の閾値をもつA/Dコンバータを接続されていることを特徴とする回路。

【請求項9】 前記可変の閾値をもつA/Dコンバータは、前記スピントランジスタを含んで構成されていることを特徴とする請求項8に記載の回路。

【請求項10】 前記第1の回路群と前記第2の回路群とによりE/E構成を有している、または、前記第1の回路群および前記第2の回路群ともにそれぞれE/E構成を有していることを特徴とする請求項2から9までのいずれか1項に記載の回路。

【請求項11】 前記第1の回路群と前記第2の回路群とによりE/D構成を有している、または、前記第1の回路群および前記第2の回路群ともにそれぞれE/D構成を有していることを特徴とする請求項2から9までのいずれか1項に記載の回路。

【請求項12】 第1導電型のトランジスタと、第1導電型の前記 ν MOSが、それぞれ前記第1の回路群または前記第2の回路群であり、前記トランジスタ又は前記 ν MOSのうち少なくともいずれか一方が伝導キャリアのスピンの依存する伝達特性を有していることを特徴とする請求項10又は11に記載の回路。

【請求項13】 AおよびBの2入力を前記 ν MOSの入力とすることを特徴とする請求項12に記載の回路。

【請求項14】 前記第1導電型はn型であり、前記第1の回路群が前記 ν MOSであり、前記第2の回路群が、

前記第1の端子に、ソース接地されたn型スピントランジスタのドレインを接続し、該n型スピントランジスタのゲートに前記A=B=1の場合にのみ前記n型スピントランジスタをオンさせるレベルシフト回路を接続することにより前記第1の端子を放電することを特徴とする回路群である請求項12又は13に記載の回路。

【請求項15】 前記第1導電型はp型であり、前記第2の回路群が前記 ν MOSであり、前記第1の回路群が、

前記第1の端子に、ソースが電源電圧に接続されたp型スピントランジスタの

ドレインを接続し、該 p 型スピントランジスタのゲートに前記 $A=B=0$ の場合にのみ前記 p 型スピントランジスタをオンさせるレベルシフト回路を接続することにより前記第 1 の端子に電荷を充電することを特徴とする回路群である請求項 12 又は 13 に記載の回路。

【請求項 16】 前記レベルシフト回路は、前記 A 及び B の 2 入力、MOS と、一定電圧 (V_{b2}) がゲートに入力されソースが接地又は電源電圧に接続された MOS トランジスタとの直列接続を有していることを特徴とする請求項 14 又は 15 に記載の回路。

【請求項 17】 前記第 1 導電型は n 型であり、前記第 1 の回路群が前記トランジスタで、前記第 2 の回路群が、

前記第 1 の端子に、ソース接地された n 型スピントランジスタのドレインを接続し、該 n 型スピントランジスタのゲートに前記 $A=B=0$ の場合にのみ前記 n 型スピントランジスタをオンさせるインバータを接続することにより前記第 1 の端子を放電することを特徴とする回路群である、請求項 12 又は 13 に記載の回路。

【請求項 18】 前記第 1 導電型は p 型であり、前記第 2 の回路群が前記トランジスタで、前記第 1 の回路群が、

前記第 1 の端子に、ソースが電源電圧に接続された p 型スピントランジスタのドレインを接続し、該 p 型スピントランジスタのゲートに前記 $A=B=1$ の場合にのみ前記 p 型スピントランジスタをオンさせるインバータを接続することにより前記第 1 の端子に電荷を充電することを特徴とする回路群である請求項 12 又は 13 に記載の回路。

【請求項 19】 前記インバータは、ソースが接地又は電源電圧に接続された前記 A 及び B の 2 入力、MOS と、負荷と、の直列接続を有していることを特徴とする請求項 17 又は 18 に記載の回路。

【請求項 20】 請求項 12 または 13 に記載された回路における前記第 1 の端子を入力とする A/D コンバータを含むことを特徴とする NAND/NOR 又は AND/OR 論理回路。

【請求項 21】 請求項 14 から 16 までのいずれか 1 項に記載された回路

における

前記第1の端子を入力とするA/Dコンバータを有するNAND/NOR/XNOR論理回路またはAND/OR/XOR論理回路。

【請求項22】 請求項17から19までのいずれか1項に記載された回路における

前記第1の端子を入力とするA/Dコンバータとを有するAND/OR/XNOR論理回路またはNAND/NOR/XOR論理回路。

【請求項23】 さらに、前記A/Dコンバータの出力を入力とするインバータを有する請求項21又は22に記載の全2入力対称関数論理回路。

【請求項24】 前記第1の回路群と前記第2の回路群とにより、または、前記第1の回路群および前記第2の回路群のそれぞれが、CMOS構成を有していることを特徴とする請求項2から9までのいずれか1項に記載の回路。

【請求項25】 前記第1の回路群はスピントランジスタから構成される第1導電型の第1の μ MOSであり、前記第2の回路群はスピントランジスタから構成される前記第1導電型とは異なる第2導電型の第2の μ MOSであり、

前記第1の μ MOSと前記第2の μ MOSとが、互いのドレイン端子を共通にして直列接続されたCMOS構造と、

共通の前記ドレイン端子に形成された第1の端子とを有する請求項24に記載の回路。

【請求項26】 AおよびBの2入力を、前記第1および第2の μ MOSの入力とすることを特徴とする請求項25に記載の回路。

【請求項27】 前記第1導電型はp型であり、前記第2の回路群は、前記第1の端子に、ソース接地されたn型スピントランジスタのドレインを接続し、該n型スピントランジスタのゲートに前記A=B=0の場合にのみ前記n型スピントランジスタをオンさせる第1のインバータを接続することにより前記第1の端子を放電することを特徴とする請求項25又は26に記載の回路。

【請求項28】 前記第1導電型はp型であり、前記第1の回路群は、前記第1の端子に、ソースが電源電圧に接続されたp型スピントランジスタの

ドレインを接続し、該 p 型スピントランジスタのゲートに前記 $A=B=1$ の場合にのみ前記 p 型スピントランジスタをオンさせる第 2 のインバータを接続することにより前記第 1 の端子を充電することを特徴とする請求項 25 又は 26 に記載の回路。

【請求項 29】 前記第 1 導電型は p 型であり、
前記第 2 の回路群は、

前記第 1 の端子に、ソース接地された前記 n 型スピントランジスタのドレインを接続し、該 n 型スピントランジスタのゲートに $A=B=0$ の場合にのみ前記 n 型スピントランジスタをオンさせる第 1 のインバータを接続することにより前記第 1 の端子を放電することを特徴とし、

前記第 1 の回路群は、

前記第 1 の端子に、ソースが電源電圧に接続された前記 p 型スピントランジスタのドレインを接続し、該 p 型スピントランジスタのゲートに前記 $A=B=1$ の場合にのみ前記 p 型スピントランジスタをオンさせる第 2 のインバータを接続することにより前記第 1 の端子を充電することを特徴とする
請求項 25 または 26 に記載の回路。

【請求項 30】 請求項 25 または 26 に記載された回路における前記第 1 の端子を入力とする A/D コンバータを含むことを特徴とする 2 入力 AND/OR 論理回路または NAND/NOR 回路。

【請求項 31】 請求項 27 に記載の回路における前記第 1 の端子を入力とする A/D コンバータを含むことを特徴とする 2 入力 AND/OR/XNOR 論理回路または NAND/NOR/XOR 回路。

【請求項 32】 請求項 28 に記載の回路における前記第 1 の端子を入力とする A/D コンバータを含むことを特徴とする 2 入力 AND/OR/XOR 論理回路または NAND/NOR/XNOR 回路。

【請求項 33】 さらに、前記 A/D コンバータの出力とその入力とが接続される第 3 のインバータを有する請求項 31 又は 32 に記載の全 2 入力対称関数論理回路。

【請求項 34】 請求項 29 に記載の回路における前記第 1 の端子を入力と

するA/Dコンバータを含むことを特徴とする全2入力対称関数論理回路。

【請求項35】 前記インバータは、ソースが接地された前記A及びBの2入力n型 ν MOSと、ソースが電源電圧に接続された前記A及びBの2入力p型 ν MOSと、の直列接続を有していることを特徴とする請求項27から29までのいずれか1項、又は、請求項31から34のいずれか1項に記載の回路。

【請求項36】 第1導電型の ν MOSと、前記第1導電型と同じ導電型のMOSトランジスタと、がそれぞれ前記第1の回路群または前記第2の回路群であることを特徴とする請求項10または24に記載の回路。

【請求項37】 A及びBの2入力を前記 ν MOSの入力とすることを特徴とする請求項36に記載の回路。

【請求項38】 前記第2の回路群は

前記第1の端子に、ソース接地されたn型スピントランジスタのドレインを接続し、該n型スピントランジスタのゲートに前記A=B=1の場合にのみ前記n型スピントランジスタをオンさせるレベルシフト回路を接続することにより前記第1の端子を放電することを特徴とする請求項36又は37に記載の回路。

【請求項39】 前記第1の回路群は

前記第1の端子に、ソースが電源電圧に接続されたp型スピントランジスタのドレインを接続し、該p型スピントランジスタのゲートに前記A=B=0の場合にのみ前記p型スピントランジスタをオンさせるレベルシフト回路を接続することにより前記第1の端子に電荷を充電することを特徴とする請求項36又は37に記載の回路。

【請求項40】 前記第2の回路群は、前記第1の端子に、ソース接地されたn型スピントランジスタのドレインを接続し、該n型スピントランジスタのゲートに前記A=B=1の場合にのみ前記n型スピントランジスタをオンさせるレベルシフト回路を接続することにより前記第1の端子を放電することを特徴とし、

前記第1の回路群は、前記第1の端子に、ソースが電源電圧に接続されたp型スピントランジスタのドレインを接続し、該p型スピントランジスタのゲートに前記A=B=0の場合にのみ前記p型スピントランジスタをオンさせるレベルシ

フト回路を接続することにより前記第1の端子を充電することを特徴とする請求項36又は37に記載の回路。

【請求項41】 請求項36または37に記載された回路における前記第1の端子を入力とする閾値が可変のA/Dコンバータを含むことを特徴とするNAND/NOR論理回路またはAND/OR論理回路。

【請求項42】 請求項38に記載された回路における前記第1の端子を入力とする閾値が可変のA/Dコンバータを含むことを特徴とするNAND/NOR/XNOR論理回路またはAND/OR/XOR論理回路。

【請求項43】 請求項39に記載された回路における前記第1の端子を入力とする閾値が可変のA/Dコンバータを含むことを特徴とするNAND/NOR/XOR論理回路またはAND/OR/XNOR論理回路。

【請求項44】 さらに、前記A/Dコンバータの出力とその入力が接続されるインバータを有する請求項42又は43に記載の全2入力対称関数論理回路。

【請求項45】 請求項40に記載の回路における前記第1の端子を入力とする閾値が可変のA/Dコンバータを含むことを特徴とする全2入力対称関数論理回路。

【請求項46】 前記レベルシフト回路は、前記A及びBの2入力、MOSと、一定電圧(V_{b2})がゲートに入力されソースが接地又は電源電圧に接続されたMOSトランジスタとの直列接続を有していることを特徴とする請求項38から40までのいずれか1項、又は42から45までのいずれか1項に記載の回路。

【請求項47】 前記閾値が可変のA/Dコンバータは、スピントランジスタで含んで構成されていることを特徴とする請求項41から46までのいずれか1項に記載の回路。

【請求項48】 伝達特性可変の第1のトランジスタを含む回路であって、前記第1のトランジスタの伝達特性を変化させることにより動作点を移動させて機能を再構成することができる回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、機能を再構成可能な論理回路に関し、より詳細には、伝導キャリアのスピンの向きに依存する伝達特性を有するトランジスタ（以下、「スピントランジスタ」と称する。）と、ディジタル入力に基づいてアナログ出力を行うトランジスタ（以下、「 μ MOS」と称する。）とを用いた再構成可能な論理回路に関する。

【0002】

【従来の技術】

近年、ユーザのプログラムによって機能が可能な再構成可能な（リコンフィギュラブル）論理回路が注目されている。例えば、現在では、これをLSI技術で実現したField Programmable Logic Array（FPGA）が用いられることが多い（例えば非特許文献1参照）。従来は、FPGAは製品の試作や多品種少数部品に用いられてきたが、最近では納期の早さが注目されており製品開発のサイクルの短い携帯電話などモバイル機器における最終部品としても組み込まれている。また近年、ハードウェアの入れ替え可能な情報機器のキーデバイスとしても研究が行われている。

【0003】

FPGAの構成にはいくつかあるが、その中でも比較的大規模化が可能であり柔軟性も高い、SRAMによる真理値表参照型（Look Up Table（LUT）方式）FPGAが多く採用されている。この構成は、任意の関数を実現できるLUTと記憶素子とからなる小規模の論理ブロックをマトリックス状に配置し、そのブロック同士をスイッチ（例えばパストランジスタ）により変更可能な配線で接続するものである（図53（A）参照）。

【0004】

LUTのレジスタに書き込む値と配線のスイッチを書き換えることで所望の論理回路を実現する。論理ブロックは、LUTと同期をとるためのフリップフロップ（FF）からなる（図53（B））。LUTには、与えられた入力のパターンとアドレスとを対応させるためのデコーダ回路、そのアドレスのレジスタに値を

記憶するためのメモリ（SRAMセル）が含まれる。図53（C）には2入力対称関数が実現できるLUT回路の例を示した。

【0005】

SRAMは揮発性メモリであり、電源を切ると記憶情報が失われる。そこで、データの保持が必要な製品に組み込む場合は、外部に不揮発性メモリ（例えばEPROM）を用意しておき、電源を再投入する毎にその情報をロードして用いる。

【0006】

最近、LUT方式FPGAとはまったく異なる原理に基づく再構成可能な論理回路として、論理回路ブロックに μ MOSベースの回路を用いる研究がなされている（例えば、非特許文献2参照）。 μ MOSを用いると、対称関数が効率よく実現できる。LUT方式と比べて機能は限定されるが、論理設計においては対称関数が多く出現すること、LUT方式より低コストで実現できること、などから注目されている。

【0007】

図54は、2入力対称関数が実現可能な論理回路の構成例を示す図である。この論理回路は、3つのプレインバータ201、203及び205と、1つのメインインバータ207とを有している。これらのインバータは、入力部が μ MOSにより構成されており、複数の等しい容量を介して複数のデジタル値が入力される。また、各インバータ201、203、205及び207においては、論理閾値が異なっており、図中、 k/n と記載されている場合は、そのインバータへの入力数が n であり、論理閾値が k であることを表している。

【0008】

A、Bが入力で、 C_k （ $k=0, 1, 2$ ）がデジタル制御信号である。この C_k により、メインインバータ207への入力を操作することにより、任意の対称関数が実現する。この回路の動作は、 $C_k=“1”$ とすると入力中“1”の数が k 個のときのみ出力が“0”となり、それ以外の場合は出力が“1”となる。例えば、 $C_0=C_2=“1”$ 、 $C_1=“0”$ とすると、“1”の数が0個（ $A=B=“0”$ ）と、“1”の数が2個（ $A=B=“1”$ ）のとき出力が“0”で、“1

” の数が 1 個 (A or B = “1”) のとき出力が “1” の X O R 論理回路となる。

【0009】

【非特許文献 1】

末吉敏則：プログラマブルロジックデバイス，電子情報通信学会技術研究報告，Vol.101, No.633, pp.17 (2002)。

【非特許文献 2】

澤田宏、青山一生、名古屋彰、中島和夫：ニューロン MOS を可変論理部に用いた再構成可能デバイスに関する検討，電子情報通信学会技術研究報告，Vol.99, No.481, pp.79 (1999)

【0010】

【発明が解決しようとする課題】

以上に説明した F P G A の論理ブロックには以下に述べる問題がある。すなわち、L U T 方式、 μ M O S ベース論理ブロックには、特に不揮発性および素子数（面積）に関して、それぞれ以下のような課題がある。

【0011】

まず、L U T 方式の論理ブロックの課題に関して説明する。L U T 方式では、回路の機能自体には論理を再構築するための書き換え能力はなく、レジスタの値を参照するものであり、本質的にはランダムアクセスメモリである。そのため、S R A M の揮発性に由来する問題点が存在する。すなわち、S R A M は揮発性のメモリであり、電源を切るとデータが失われてしまう。製品に組み込む場合は、データを保持するために外部に膨大な量の不揮発性メモリが必要であり、全体の面積が大きくなるばかりか、電源再投入の際の立ち上げ時間が長くなり、消費電力が増大するという問題もある。

【0012】

また、論理ブロック内部にも、たとえばデコーダ及び 6 つのトランジスタから成る S R A M セルを構成するために多くの素子（2 入力対称関数の場合、例えば図 5 3 (C) の回路であれば 40 のトランジスタ）が必要であり、論理ブロックの占有面積が大きくなるという問題点がある。その結果、1 チップ内に集積化で

きる機能が制限されてしまう。

【0013】

次に、 ν MOSベースの論理ブロックの課題について説明する。LUT方式と異なり、制御信号により回路の動作を書き換えることができるため、2入力では素子数は8個のトランジスタ及び14個のキャパシタが必要であり、LUT方式に比べて約半分の素子数で同等の回路を構成することが可能である。しかしながら、 ν MOSに用いるキャパシタの占有面積は小さくなく、例えばトレンチ構造のキャパシタがトランジスタと同程度の面積を実現できたとしても、結局は22個のトランジスタ相当分の面積が必要となる。また、回路の機能を維持するために、使用中は、常に制御信号を与え続けなければならない。制御信号の数だけの外部電圧とそれを制御するための複雑な制御回路（コントローラ）が必要となる。また、不揮発的に機能を記憶することはできないため、LUT方式と同様の問題がある。

本発明の目的は、不揮発で再構成可能な回路を少ない素子数で実現することにより、回路の小型化、低消費電力化を図ることである。

【0014】

【課題を解決するための手段】

本発明に係る回路には、 ν MOSと内部に強磁性体を含むスピントランジスタとを用いている。 ν MOSにより、デジタル情報をアナログ信号に変換し、スピントランジスタの磁化状態を制御してトランジスタの駆動力を変化させることにより、回路の動作点を操作して機能を書き換える。素子の特性を変化させるという点で、完全にハードウェア的に機能が書き換えられる新しい概念に基づく回路である。 ν MOSとスピントランジスタとを組み合わせ、アナログ的な情報処理を行うことで素子の数を少なくできる。しかもスピントランジスタ中の強磁性体により回路の機能を不揮発的に記憶できるデバイスである。LUT方式において、論理ブロック中のLUTを提案する回路で置き換えたFPGAを構成することにより上記の課題を解決できる。

【0015】

不揮発性に関して説明する。回路の機能は、スピントランジスタ内部の強磁性

体の磁化状態により決定されるため、電源を切っても磁化状態は変わらず不揮発性を有する。そのため、従来のFPGAにおいて必要な外部の不揮発性メモリのうち、論理ブロック部に関する素子が不要となる。製品の小型化に関して有利であり、さらに、立ち上げに要する時間も短縮される。

【0016】

回路中に素子数は、本発明に係る回路では、9～11のトランジスタと2のキャパシタ（9～11Tr・2C）であり、素子数は、LUT方式の3分の1以下に減少する。CMOSベースの論理ブロックと比べても半分程度の素子数である。外部の不揮発性メモリは配線部に関するもののみでよいので、全体で素子の数は従来の回路と比べて非常に少なくなる。

【0017】

本発明の一観点によれば、伝導キャリアのスピンの方に依存する伝達特性を有する第1のトランジスタ（スピントランジスタ）を含む回路であって、前記伝導キャリアのスピンの方角を変えることにより変化する前記第1のトランジスタの伝達特性を変化させることにより動作点を移動させて機能を再構成することができる回路が提供される。

【0018】

前記回路の出力端子に、A/Dコンバータを接続してアナログの動作点をデジタル論理レベルに変換するが、前記A/Dコンバータにスピントランジスタを含めることにより、スピントランジスタの磁化状態により2つまたは3つの可変な閾値を設定することによっても機能を再構成することができる。

【0019】

尚、上記スピントランジスタの代わりに、他の伝達特性可変の第1のトランジスタを用いて回路を構成することもできる。この場合でも、前記第1のトランジスタの伝達特性を変化させることにより動作点を移動させて機能を再構成することができる。尚、ここでいう伝達特性可変とは、例えば V_{ds} や V_{gs} などの外部バイアス以外の物性量を変化させることで、トランジスタの伝達特性を不揮発的に変化させることができることを意味する。これにより、同じ条件でバイアスを加えても出力特性が異なる。このようなトランジスタは例えば強磁性体や強誘電体

を用いることやフローティングゲート技術を用いることにより実現できる。上述したスピントランジスタはこのような伝達特性可変のトランジスタの1つである。

【0020】

【発明の実施の形態】

図1 (A)、(B)を参照して本発明に係る回路の基本構成についてまず説明を行う。図1 (A)、(B)に示すように、本発明に係る回路は、端子 V_m （以下では“ V_m ”を端子名としても用いるが、その電位としても用いることがある。）と、その端子 V_m における寄生容量および次段の入力容量を充電するための回路群Pと、放電するための回路群Qと、入力信号A、Bの値によって決まり、次段の回路には依存せずに決まるアナログ電圧 V_m をデジタル論理レベルに増幅するA-Dコンバータとを主要構成要素とする。

【0021】

図1 (A)に示すように、回路群Pと回路群Qのうち少なくとも一方にスピントランジスタが含まれ、その駆動力（充電／放電しようとする能力）を制御できる。そのため、A、Bが同じ値であっても、スピントランジスタの磁化の状態によって異なる V_m をとる。スピントランジスタの磁化の状態によって生じる V_m の変化を、ある一定の閾値を持つA/Dコンバータ又はスピントランジスタを用いた可変閾値のA/Dコンバータにより、デジタル論理レベルに増幅することにより、再構成可能な論理回路となる。

【0022】

図1 (B)に示す回路は、等しく重み付けされた2入力 μ MOSを用いている。対称関数においては、入力信号A、Bは、それぞれ区別する必要がないため、等しく重み付けされた2入力 μ MOSを用いることにより効率良く回路群に入力することができる。

【0023】

本発明に係る回路は、強磁性金属又は強磁性半導体等の強磁性体を内部に含み、伝導キャリアのスピンの向きによって伝達特性を制御できるトランジスタ（以下、スピントランジスタと称する。）を用いた不揮発性の再構成可能な回路、主

として論理回路である。スピントランジスタとMOSとを組み合わせ、少ない素子数で2入力の対称関数を実現することができる。

【0024】

まず、スピントランジスタについて説明する。スピントランジスタは、磁化の向きを磁場等によって独立に制御できる強磁性体(フリー層)と磁化の向きを固定した強磁性体(ピン層)を少なくとも一つずつ有し、フリー層の磁化の向き変えることによってフリー層とピン層との相対的な磁化状態を平行磁化又は反平行磁化にすることができるトランジスタである。

【0025】

スピントランジスタでは、スピン依存散乱、スピン依存トンネル効果、スピンフィルタ効果等のキャリアスピンの向きと強磁性体の磁化の向きとに依存した伝導現象によってトランジスタ内の磁化状態に応じた出力特性を実現することができる。従って、スピントランジスタでは、同一バイアス下であってもスピントランジスタ内に含まれるフリー層とピン層との相対的な磁化の向きによってトランジスタの伝達特性を制御することができる。

【0026】

以下に、スピントランジスタについて、MOS型トランジスタを例にして説明する。スピンに依存する伝導現象以外のトランジスタ動作は通常のMOSトランジスタと同等の動作原理に基づき、その出力特性はグラジュアルチャネル近似に従うものとする。

【0027】

図2(A)は、MOS型のスピントランジスタ(以下、「SMOS」と称する。)の構造例を示す図である。図2(A)に示すように、SMOS(A)は、半導体(基板)1上に形成されており、ソース電極3とドレイン電極5とが強磁性体により形成されている点以外は、ゲート絶縁膜11上にゲート電極7が形成されている点を含めて通常のMOSトランジスタと同様の構造を有している。以下、強磁性体のソース電極と強磁性のドレイン電極とを、それぞれ強磁性ソース3と強磁性ドレイン5と略記する。尚、図において、FMは強磁性金属を、FSは強磁性半導体を意味する。

【0028】

強磁性ソース3は、スピン偏極キャリアを半導体1中のゲート下に形成されたチャンネルに注入するスピンインジェクタとして働く。また、強磁性ドレイン5はチャンネルに注入されたスピンの向きを電気信号として検出するスピナナライザとして働く。強磁性体として強磁性金属(FM)を用いる場合は、半導体(基板)1とのショットキー接合を用いて強磁性ソース3と強磁性ドレイン5とを形成する。ゲート電極7に対してゲート電圧を印加することにより半導体層中にチャンネルを形成し、ショットキー障壁を介して強磁性ソース3からチャンネルにスピン偏極キャリアを注入する。

【0029】

注入されるスピン偏極キャリアはチャンネルを通して強磁性ドレイン5に到達する(簡単のため、チャンネルに注入されたスピン偏極キャリアのゲート電界によるRashba効果を見捨てる)。ソースドレイン間が平行磁化を持つ場合は、強磁性ドレイン5に注入されたスピン偏極キャリアは、スピン依存散乱を受けることはなくドレイン電流となるが、反平行磁化を持つ場合は、強磁性ドレイン5でスピン依存散乱による抵抗を受ける。従って、このトランジスタAではソースドレイン間の相対的な磁化の向きによって電流駆動力が異なる。

【0030】

強磁性半導体(FS)をソースとドレインとに用いれば、通常のMOSトランジスタと同様に、半導体1とのpn接合による強磁性ソース3および強磁性ドレイン5を形成することが可能である。このようなトランジスタでも、ソースドレイン間の相対的な磁化の向きによって電流駆動力が変化する。図3(A)及び図3(B)に、SMOSの理想化された静特性を示す。閾値以下のゲート電圧($V_{gs} < V_{th}$)では、通常のMOSトランジスタの場合と同様にトランジスタはOFF状態である。これはスピントランジスタの磁化状態に依存しない。閾値以上のゲート電圧を印加すると($V_{gs} = V_{gs1} > V_{th}$)、スピントランジスタはONするが、同じゲート電圧を印加した場合であっても、スピントランジスタ内に含まれる2つの強磁性体の磁化状態によって流れるドレイン電流 I_d は異なる。平行磁化の場合では大きなドレイン電流 $I_d \uparrow \uparrow$ が流れ、反平行磁化の場合では小さなド

レイン電流 $I_d \uparrow \downarrow$ しか流れない。以下では、トランジスタの電流駆動力を表す相対的なパラメータを β とする。すなわち、 $\beta = 1$ のトランジスタと $\beta = 10$ のトランジスタに同じ条件でバイアスを加えた場合に、流れるドレイン電流の比は $1 : 10$ である。

【0031】

次に、ニューロンMOS（以下「 ν MOS」と称する。）トランジスタについて図2（B）及び図4を参照しつつ説明する。図2（B）に示すように、 ν MOS（B）は、チャネルが形成されている半導体11に対して形成されたソース13及びドレイン15と、ゲート絶縁膜20を介してフローティングゲート21と、分割された2つのゲート電極17aと17bとを有している。上述のように、 ν MOSのゲート17a、17bに複数の入力、例えば、図のAとBとがゲート電極とフローティングゲートとの入力容量を介して入力される。この入力容量の大きさを変えることにより入力に重みを付けることができる。ここでは、全ての入力容量が等しい場合を例にして説明する。

【0032】

2入力の場合である図2（B）に示す ν MOS構造において、フローティングゲート21の電位 V_{fg} は、ゲート容量を無視するとキャパシタンスのカップリングにより $V_{fg} = (A + B) / 2$ 、すなわち入力の平均値で示される。これは、2入力以上の多入力（ n 入力（ $n > 2$ ））の場合にも当てはまる。つまり、 ν MOSは、 n 入力の平均がMOSのゲートに入力されるのと等価であると考えて良い。入力A、Bが、デジタル値の場合の静特性を図4に示す。入力がアナログであっても良い。図4に示すように、 $A = B = "0"$ の場合には、ドレイン電流 I_d はほとんど流れない。 $A = B = "1"$ の場合には、ドレイン電流 I_d が流れる。 A 又は B のうちの一方のみが $"1"$ の場合には、上記場合の約半分のゲート電圧が印加された場合のドレイン電流が流れる。

【0033】

対称関数においては、入力信号A、Bは、それぞれ区別する必要がないため、等しく重み付けされた2入力 ν MOSを用いることにより効率良く回路群に入力することができる。また回路群Pと回路群Qとの回路構成として、E/E構成、

E/D構成、CMOS構成のいずれにも適用することができる。

【0034】

以下に、上記スピントランジスタと ν MOSとを用いた本発明の第1の実施の形態による再構成可能な回路について、論理回路を例として図面を参照しつつ説明を行う。本実施の形態による論理回路は、エンハンスメント型MOSトランジスタ及びn型スピントランジスタを用いた論理回路群を主として用いている。

【0035】

1) NAND/NOR回路

図5は、書き換え可能なNAND/NOR回路の構成例を示す図である。図5に示すように、書き換え可能なNAND/NOR回路は、論理ゲート段とインバータ段とを有している。論理ゲート段は ν MOS (T_{r1}) とスピントランジスタ (T_{r2} 、以下「SMOS」と称する。) との直列接続構造を有している。 ν MOS (T_{r1}) は、2つの入力A及びBを有しており、これらの入力値によりフローティングゲートに印加される電圧 V_{fg} が例えば $(A+B)/2$ の式により求まる。この ν MOS (T_{r1}) の電流増幅率を β_{n1} で表す。A、Bが入力、 V_{out} が出力であり、“0”(Lowレベル、0V)または“1”(Highレベル、電源電圧 V_{dd})である。上記 ν MOS (T_{r1}) は、“0”か“1”かのデジタル入力を、(0、 $V_{dd}/2$ 、 V_{dd}) のいずれかの電圧に変換するD-Aコンバータとしての機能を有している。

【0036】

T_{r2} がSMOS (トランジスタに \rightarrow を加えることにより一般的なトランジスタと識別している。) であり、一定バイアス V_b が加えられている。その駆動力は、SMOS (T_{r2}) 内に記憶されている磁化状態によって、 $\beta_{n2}=1$ 又は10の2通りをとることができるかと仮定する。

【0037】

SMOS (T_{r2}) の静特性を図6に実線で示す。 ν MOS (T_{r1}) とSMOS (T_{r2}) とでソースフォロア回路を構成しており、 ν MOS (T_{r1}) は V_{fg} に対応した駆動力で、 ν MOS (T_{r1}) とSMOS (T_{r2}) との接続点である V_m ノードを充電し、SMOS (T_{r2}) は、その磁化状態に対応した駆

動力で V_m ノードを放電する。この ν MOS (T_{r1}) とSMOS (T_{r2}) とで論理ゲートが構成される。 ν MOS (T_{r1}) による負荷曲線 (破線で示す) と、この論理ゲートの動作点 ($V_0 \sim V_S$) を図6上に示してある。

【0038】

これらの動作点 ($V_0 \sim V_S$) で与えられるアナログ電圧 V_m が、図6の下方の図に示される特性を有するインバータにより、 V_{inv} を閾値としてデジタル論理レベル“0”又は“1”まで反転増幅され、出力端子 V_{out} に出力される。

表1に、 β_{n2} と動作点、回路機能の関係を示す。

【0039】

【表1】

β_{n2}	V_m			V_{out} (V_m の順に)	機能
	A	0	1		
1	B	0	1	“1” “0” “0”	NOR
10		V_0 (“0”) V_S (“1”) V_Q (“1”)	V_0 (“0”) V_R (“0”) V_P (“1”)	“1” “1” “0”	NAND

【0040】

平行磁化状態におけるSMOS (T_{r2}) の $\beta_{n2}=10$ とする。この場合、 $A=B=“0”$ では、ドレイン電流 $I_d=0$ である。 $V_m=V_0 < V_{inv}$ であり、A-Dコンバータの反転増幅を考慮すると、 $V_{out}=“1”$ である。 $A=B=“1”$ では、ドレイン電流 I_d は、 $I_d=\beta_{n1}(V_{dd}-V_m-V_{th})^2/2$ で表される。 $V_m=V_p > V_{inv}$ であり、 $V_{out}=“0”$ となる。以上の出力は、SMOS (T_{r2}) の駆動力 β_{n2} に依存しない (平行磁化か反平行磁化かに依存しない)。A又は $B=“1”$ の場合には、ドレイン電流 I_d は、 $I_d=\beta_{n1}(V_{dd}/2-V_m-V_{th})^2$ で表される。入力のいずれか一方が“1”であり、 V_m は T_{r2} によって放電され、 $V_m=V_R < V_{inv}$ となり、 $V_{out}=“1”$ であるため、NAND回路となる。

【0041】

反平行磁化状態におけるSMOS (T_{r2}) の $\beta_{n2}=1$ とする。 $A=B=“0”$ の場合には、 $V_m=V_0 < V_{inv}$ であり、A-Dコンバータの反転増幅を考慮す

ると、 $V_{out} = "1"$ である。 $A = B = "1"$ の場合には、 $V_m = V_Q > V_{inv}$ であり、 $V_{out} = "0"$ となる。以上の出力はSMOS (Tr_2) の駆動力 β_{n2} に依らない (平行磁化か反平行磁化かには依存しない)。A又はB = "1" の場合には、 V_m は Tr_1 に充電されて $V_m = V_S > V_{inv}$ 、 $V_{out} = "0"$ となりNOR回路として機能する。図7は図5の回路の真理値表である。

【0042】

以上、表1に示すように、SMOS内の磁化状態により異なる値を取ることができる β_{n2} が1であるか或いは10であるかに基づいて、入力A、Bに対する出力 V_{out} としてNOR論理又はNAND論理のいずれかを任意に選択することができる。SMOSの磁化状態は不揮発的に記憶されるため、1つの回路において、NOR論理又はNAND論理のいずれかを選択して機能させることが可能である。同様の機能を有する回路を通常のCMOSデジタル回路により構成すると、トランジスタ10個が必要であり、本実施の形態による回路では4個のトランジスタのみにより同様の機能を実現することができるという利点がある。

【0043】

2) NAND/NOR+XNOR

図8 (A) を参照しつつ、NAND/NOR+XNORの書き換え可能な回路について説明する。XNORは、 $A = B = "0"$ 及びA又はB = "1" の場合の入出力関係はNORと同じであり、 $A = B = "1"$ の場合のみ異なり、 $V_{out} = "1"$ である。そこで、 $A = B = "1"$ のとき $V_{out} = "1"$ (そのためには $V_m = "0"$) となるようにすれば良い。通常のnMOSトランジスタを2つ (Tr_3 、 Tr_4) と、1つのn型SMOS (Tr_5) からなる回路を追加する。n型SMOS (Tr_5) は、駆動力の高い状態 ($\beta_{n5} = 10$) と低い状態 ($\beta_{n5} = 1$) を磁化の状態により切り替えられるトランジスタである。

【0044】

Tr_3 、 Tr_4 のソースフォロアは負のレベルシフタであり、 $A = B = "1"$ の場合のみ Tr_5 がONする。その動作を示す図8 (B) において、上の図は図8における Tr_3 と Tr_4 との動作特性を表しており、これから V_{in_n} が決まる。実線が Tr_4 の静特性であり、破線が Tr_3 の負荷曲線である。 $A = B = "0"$

”の動作点 V_C と、 A 又は $B = "1"$ の動作点 V_D とは、共に T_{r5} の閾値よりも小さいために T_{r5} に電流は流れず、開放と等価である。 $A = B = "1"$ の動作点 V_E のときのみ T_{r5} のゲート電圧はその閾値を超えているので T_{r5} はオンする。尚、閾値が $V_{dd}/2$ より大きな n 型 $SMOS$ が集積可能であれば、 T_{r3} 、 T_{r4} を設けなくても良く、 V_{fg} ノードを直接 T_{r5} のゲートと接続すればよい。このとき、図 8 (B) の下の図に示すように、 $\beta_{n5} = 10$ であれば十分大きな電流 (I_{d_high}) が流れるが、 $\beta_{n5} = 1$ であれば電流値 (I_{d_low}) は非常に小さい。

【0045】

図 9～図 11 までに、各 β の場合の動作点 V_m を示す。実線は T_{r2} と T_{r5} とに流れる電流の和であり、 I_{d_low} は無視できるものとした。表 2 に β_{n2} 、 β_{n5} と回路の機能との関係をまとめて示した。

【0046】

【表 2】

β_{n2}	β_{n5}	V_m			V_{out} (V_m の順に)	機能
		A	0	0	1	
		B	0	1	1	
1	1	$V_O("0")$	$V_S("1")$	$V_Q("1")$	"1" "0" "0"	NOR
10	1	$V_O("0")$	$V_R("0")$	$V_P("1")$	"1" "1" "0"	NAND
1	10	$V_O("0")$	$V_S("1")$	$V_U("0")$	"1" "0" "1"	XNOR
10	10	$V_O("0")$	$V_R("0")$	$V_V("0")$	"1" "1" "1"	all "1"

【0047】

図 9 (A)、(B) は、NAND/NOR 機能について示す図である。 T_{r5} を、駆動力のない状態 ($\beta_{n5} = 1$) にしておけば、流れる電流 I_{d_low} を無視することができ、 T_{r5} (図 8) の部分は開放とみなせる。従って、NAND/NOR 機能を保つことができる。

【0048】

図 10 (A)、(B) は、XNOR 機能について示す図である。 T_{r5} の駆動力を高い状態 ($\beta_{n5} = 10$) に、 T_{r2} は NOR と同じく $\beta_{n2} = 1$ にしておく。 $A = B = "0"$ 、 A 又は $B = "1"$ では、上述のように T_{r5} は開放と等価なの

でNORと同じ動作を行う。 $A=B=“1”$ のときは、 $Tr5$ の電流 I_{d_high} により V_m が放電されて $V_m=V_u<V_{inv}$ 、 $V_{out}=“1”$ となる。さらに、図11(A), (B)に示すように、 $\beta_{n5}=10$ 、 $\beta_{n2}=10$ としておくと、全ての入力パターンに対して $V_{out}=“1”$ (all “1”)となる。

【0049】

3) NAND/NOR/XNOR+AND/OR/XOR機能

図8の出力端 V_{out} に、さらに1段インバータを追加すると V_{out} の反転が得られる。すなわち、図12に示すように、NAND/NOR/XNORに対してAND/OR/XORとなる。 V_{out} と V_{out} の反転との2つを出力とすることで、NAND/NOR/XNOR+AND/OR/XORおよびall “0”、“1”の全ての2入力対称関数を実現できる回路を構成することができる。この回路全体に必要な素子は、9個のトランジスタと2つの容量である。必要であれば、出力端に V_{out} と V_{out} の反転とから必要な方を選択する回路(パストランジスタ)を加えると1出力となる。表3は、図12に示す回路の機能をまとめたものである。

【0050】

【表3】

β_{n2}	β_{n5}	V_{out}				$\overline{V_{out}}$				機能
		A	0	0	1	A	0	0	1	
		B	0	1	1	B	0	1	1	
1	1	“1”	“0”	“0”		“0”	“1”	“1”		NOR/OR
10	1	“1”	“1”	“0”		“0”	“0”	“1”		NAND/AND
1	10	“1”	“0”	“1”		“0”	“1”	“0”		XNOR/XOR
10	10	“1”	“1”	“1”		“0”	“0”	“0”		all “1”/all “0”

【0051】

次に、本発明の第2の実施の形態による再構成可能な論理回路について図面を参照しつつ説明を行う。本実施の形態による論理回路は、エンハンスメント型MOSFETとディプリーション型MOSFETとを用いたいわゆるE/D構成の回路である。E/D構成を用いると、E/E構成に比べて動作曲線が平坦であるため、論理マージンを大きくすることが出来る。

【0052】

1) AND/OR回路

図13から図15までを参照して、ディプリーション型のn型SMOSを用いたAND/OR回路について説明する。図13において、Tr1がディプリーション型のn型SMOSで、 $\beta_{n1}=1$ 又は10をとることができるとする。ソースとゲートとが短絡されているため、図14の実線で示す負荷曲線となる。Tr2はpMOSであり、その動作を図14に破線で示す。図15(A)及び図15(B)は真理値表である。また、その動作の詳細を表4に示す。

【0053】

【表4】

β_{n1}	V_m			V_{out} (V_m の順に)	機能
	A	0	0	1	
	B	0	1	1	
1	V_0 (“1”) V_P (“0”) V_Q (“0”)			“0” “1” “1”	OR
10	V_0 (“1”) V_R (“1”) V_S (“0”)			“0” “0” “1”	AND

【0054】

OR回路として動作させる場合には、 $\beta_{n1}=1$ にしておく。ここで、 $A=B=$ “0”のとき、動作点 V_m は V_0 で出力は“0”となる。 A 又は $B=$ “1”のとき、動作点 V_m は V_P であり、出力は“1”となる。 $A=B=$ “1”のとき、動作点 V_m は V_Q であり出力は“1”である。

【0055】

AND回路として動作させる場合には、 $\beta_{n1}=10$ にしておく。ここで、 $A=B=$ “0”のとき、動作点 V_m は V_0 であり出力は“0”となる。 A 又は $B=$ “1”のとき、動作点 V_m は V_R であり出力は“0”となる。 $A=B=$ “1”のとき、動作点 V_m は V_S であり出力は“1”となる。

【0056】

2) AND/OR+XNOR回路

図13に示す回路にXNOR機能を加えた回路を図16に示す。XNORは、 A 又は $B=$ “0”と $A=B=$ “1”では入出力関係がANDと等しく、 $A=B=$

“0” のとき $V_{out} = “1”$ (そのためには $V_m = “0”$) となる回路が追加される。Tr 3 ~ Tr 5 までがその追加部分である。図 17 に示すように、 $A = B = “0”$ のときのみ Tr 5 がオンする。Tr 5 は n 型 SMOS であるが、駆動力 β_{n5} の変化は Tr 1 の β_{n1} よりも大きくし、 $\beta_{n5} = 0.5$ 又は 50 と仮定する。 $\beta_{n5} = 50$ であれば、十分大きな電流 (I_{d_high}) が流れるが、 $\beta_{n5} = 0.5$ であれば電流値 (I_{d_low}) は非常に小さい。図 18 (A) から図 20 (B) までに、各 β における動作点 V_m を示す。実線は Tr 2 と Tr 5 とに流れる電流の和であり、 I_{d_low} は無視できると仮定した。表 5 に β_{n1} 、 β_{n5} と回路機能の関係をまとめる。

【0057】

【表 5】

β_{n1}	β_{n5}	V_m			V_{out} (V_m の順に)	機能
		A	0	0	1	
		B	0	1	1	
1	0.5	$V_O(“1”) V_P(“0”) V_Q(“0”)$	“0”	“1”	“1”	OR
10	0.5	$V_O(“1”) V_R(“1”) V_S(“0”)$	“0”	“0”	“1”	AND
1	50	$V_T(“0”) V_R(“1”) V_S(“0”)$	“1”	“0”	“1”	XNOR
10	50	$V_U(“0”) V_R(“0”) V_V(“0”)$	“1”	“1”	“1”	all “1”

【0058】

まず図 18 を参照して AND/OR 機能について説明する。Tr 5 を、駆動力のない状態 ($\beta_{n5} = 0.5$) にしておけば、流れる電流 I_{d_low} を無視することができ、この部分は開放とみなせる。そのため、図 13 に示す回路と同じ回路になり、AND (図 18 (C)) / OR (図 18 (B)) 機能を保つことができる。次に、XNOR 機能について図 19 (A)、(B) を参照して説明する。Tr 5 の駆動力を高い状態 ($\beta_{n5} = 50$) にし、Tr 2 は AND と同じく $\beta_{n1} = 10$ にしておく。 $A = B = “1”$ 、 A 又は $B = “1”$ では、上述のように Tr 5 は開放と等価であるため AND と同じ動作をする。 $A = B = “0”$ のときは、Tr 5 の電流 I_{d_high} により V_m が放電されて $V_m = V_T < V_{inv}$ 、 $V_{out} = “1”$ となる。さらに、 $\beta_{n1} = 1$ 、 $\beta_{n5} = 50$ としておくと、全ての入力に対して $V_{out} = “1”$ となる (図 20 (A)、(B))。この回路の特徴は、動作点 V_m がいずれも

0 Vあるいは V_{dd} に近く、論理マージンが大きいことであり、従って、非常にロバストである。

【0059】

3) AND/OR/XNOR+NAND/NOR/XOR機能

図21に示す回路では、出力にインバータ回路が追加されている。この回路の動作の詳細を表6に示す。基本的には図12に示す回路と同様であり、ディプレーション型MOSトランジスタを用いて、 V_{out} とその反転出力とにより全ての2入力対称関数を実現することができる。

【0060】

【表6】

β_{n2}	β_{n5}	V_{out}			$\overline{V_{out}}$			機能
		A	0	1	A	0	1	
		B	0	1	B	0	1	
1	0.5		"0"	"1"	"1"	"0"	"0"	OR/NOR
10	0.5		"0"	"0"	"1"	"1"	"0"	AND/NAND
1	50		"1"	"0"	"0"	"1"	"0"	XNOR/XOR
10	50		"1"	"1"	"0"	"0"	"0"	all "1"/all "0"

【0061】

次に、本発明の第3の実施の形態による再構築可能な論理回路について図面を参照しつつ説明を行う。本実施の形態による論理回路は、CMOS構成をベースとした論理回路である。本発明の実施の形態によると、E/E構成に比べて動作曲線が平坦であるため、論理マージンを大きくすることが出来る上に、低消費電力化が可能である。

【0062】

これまでに説明した論理回路では、n型SMOSのみを用いている。これに対して、本実施の形態による論理回路では、p型SMOSも用いることにより、上述のように高性能化が可能になる。

【0063】

1) 閾値可変インバータ

図22(A)は、論理閾値が可変のインバータの回路図である。通常のインバ

ータの nMOS を n 型 SMOS に、pMOS を p 型 SMOS にそれぞれ置き換えた回路である。ここで、それぞれの SMOS の駆動力を $\beta_{pinv}=1$ 又は 10 とし、 $\beta_{ninv}=1$ 又は 10 とする。図 22 (A) に示す回路において、インバータの論理閾値は 3 値をとることができる。例えば、図 22 (B) は、 $\beta_{ninv}=10$ で固定し $\beta_{pinv}=1$ 又は 10 とし V_{in} がある値の場合における n と p との両 SMOS の特性を示す図である。入力是一定であるが、出力 V_{out} は、 $\beta_{pinv}=1$ のときは V_L で Low レベルであり、 $\beta_{pinv}=10$ のときは V_H で High レベルである。このように、出力 V_{out} は、p 型 SMOS の駆動力により異なる。より定量的には以下のように説明できる。

【0064】

図 22 (A) に示すインバータ回路は、通常の CMOS インバータと同様であり、論理閾値付近では pMOS トランジスタ、nMOS トランジスタともに飽和領域で動作している。n 及び p の両 MOS トランジスタに流れるドレイン電流 I_d が等しいという条件で方程式を解くと次式が得られる。

【0065】

【数 1】

$$V_{inv} = \frac{V_{dd} - |V_{thp}| + V_{thn} \sqrt{\beta_{inv}}}{1 + \sqrt{\beta_{inv}}}, \text{ ただし } \beta_{inv} = \frac{\beta_{ninv}}{\beta_{pinv}}$$

【0066】

ここで、 $V_{dd}=3.3V$ 、 $V_{thn}=|V_{thp}|=0.5V$ とし、論理閾値 V_{inv} を、駆動力の比 $\beta_{inv} = \beta_{ninv}/\beta_{pinv}$ の関数として図 23 にプロットした。図 23 に示すように、 $\beta_{inv}=0.1$ 、1、10 に対応した 3 つの論理閾値をとることができる。

【0067】

2) AND/OR

1) に示した閾値可変インバータを用いた AND/OR 回路を図 24 に示す。図 24 に示すように、AND/OR 回路は、インバータ 2 段により構成されており、入力側が閾値可変インバータであり、出力側は通常のインバータ（閾値は V

$inv2 = V_{dd}/2$) である。図 24 に示す回路の動作特性を図 25 (A) 及び図 25 (B) に示す。実線は T_{r1} の動作特性であり、破線は T_{r2} の動作特性である。これらの回路の動作についての詳細を表 7 に示す。

【0068】

【表 7】

β_{p1}	β_{n2}	V_m			V_{out} (V_m の順に)	機能
		A	0	1		
1	10	B	0	1	"0" "1" "1"	OR
10	1		V_0 ("1") V_R ("1") V_Q ("0")		"0" "0" "1"	AND

【0069】

2-1) OR

図 25 (A) 及び図 25 (B) を参照して OR 回路について説明する。OR 回路として機能させる場合には、図 24 に示す回路において、 $\beta_{p1} = 1$ 、 $\beta_{n2} = 10$ に設定しておく。この回路において、 $A = B = "0"$ のときには、動作点 V_m は V_0 であり出力 V_{out} は "0" である。 A 又は $B = "1"$ のときには、動作点 V_m は V_p であり出力 V_{out} は "1" となる。 $A = B = "1"$ のとき、動作点 V_m は V_Q で出力は "1" である。

【0070】

2-2) AND

図 26 (A) 及び図 26 (B) を参照して AND 回路について説明する。 $\beta_{p1} = 10$ 、 $\beta_{n2} = 1$ にしておく。この回路において、 $A = B = "0"$ のときには、動作点 V_m は V_0 であり出力 V_{out} は "0" である。 A 又は $B = "1"$ のときには、動作点 V_m は V_R であり出力 V_{out} は "0" となる。 $A = B = "1"$ のとき、動作点 V_m は V_Q で出力は "1" である。

尚、図 27 から図 29 に示すように、入力側の閾値可変インバータの閾値 V_{inv1} を基準に考えることもできる。以下にその場合の動作について説明する。

【0071】

2-3) OR

図 27 に示す回路において、 $\beta_{p1} = 1$ 、 $\beta_{n2} = 10$ にしておく論理閾値は低

くなる。つまり、図 28 (A) に示すように $V_{inv1} = V_{inv1_low} < V_{dd}/2$ となる。図 28 (A)、(B) に示すように、 $A=B=“0”$ のとき、 $V_{fg}=0$ であり、 $V_m=V_0=“1”$ 、 $V_{out}=“0”$ である。 A 又は $B=“1”$ のとき、 $V_{fg}=V_{dd}/2 > V_{inv1_low}$ であり、 $V_m=V_p=“0”$ 、 $V_{out}=“1”$ 、 $A=B=“1”$ のとき、 $V_{fg}=V_{dd}$ であるため、 $V_m=V_Q=“0”$ 、 $V_{out}=“1”$ となる。

【0072】

2-4) AND

図 27 に示す回路において、 $\beta_{p1}=10$ 、 $\beta_{n2}=1$ にしておくと言理閾値は高くなる。図 29 (A) に示すように $V_{inv1} = V_{inv1_high} < V_{dd}/2$ となる。 $A=B=“0”$ のとき、 $V_{fg}=0$ であり $V_m=V_0=“1”$ 、 $V_{out}=“0”$ となる。 A 又は $B=“1”$ のとき、 $V_{fg}=V_{dd}/2 < V_{inv1_low}$ であり、 $V_m=V_R=“1”$ 、 $V_{out}=“0”$ である。 $A=B=“1”$ のとき、 $V_{fg}=V_{dd}$ であり、 $V_m=V_Q=“0”$ 、 $V_{out}=“1”$ となる。

【0073】

3) AND/OR+XNOR

図 30 に AND/OR/XNOR 回路を示す。動作原理は図 16 の場合と同様である。XNOR は、 $A=B=“1”$ 及び A 又は $B=“1”$ のときの入出力関係は AND と同じであり、 $A=B=“0”$ のときのみ AND と異なり、 $V_{out}=“1”$ (そのためには $V_m=“0”$) であればよい。この部分が $Tr3$ 、 $Tr4$ 、 $Tr5$ (n 型 SMOS) である。 $Tr3$ 、 $Tr4$ から成るインバータは、閾値 V_{inv3} が $V_{dd}/2$ より低く設計されている。そのため、 $A=B=“0”$ のときのみ、 $V_{in_n}=“1”$ となり、 $Tr5$ がオンする。この $Tr5$ は、駆動力 β_{n5} の変化が $Tr1$ 、 $Tr2$ のそれより大きく、 $\beta_{n5}=0.5$ 又は 50 とする。 $\beta_{n5}=50$ であれば十分大きな電流 (I_{d_high}) が流れるが、 $\beta_{n5}=0.5$ であれば電流値 (I_{d_low}) は非常に小さい (図 31 の上下の図、参照)。

その詳細な動作について表 8 に示す。

【0074】

【表 8】

β_{p1}	β_{n2}	β_{n5}	V_m			V_{out} (V_m の順に)	機能
			A	0	0	1	
1	10	0.5	B	0	1	1	OR
10	1	0.5		$V_o("1")$	$V_p("0")$	$V_q("0")$	
1	10	50		$V_o("1")$	$V_R("1")$	$V_q("0")$	AND
10	1	50		$V_T("0")$	$V_p("0")$	$V_q("0")$	
				$V_s("0")$	$V_R("1")$	$V_q("0")$	XNOR

【0075】

3-1) AND/OR (図32 (A)、(B)、図33 (A)、(B) 参照)
Tr 5を $\beta_{n5}=0.5$ に設定すれば、その電流 I_{d_low} を無視することができ、Tr 5を開放とみなせるので図24のAND/OR回路と等価になる。

【0076】

3-2) XNOR (図35 (A)、(B) 参照)

Tr 5は、 $\beta_{n5}=50$ 、インバータ部分はANDと同じく $\beta_{p1}=10$ 、 $\beta_{n2}=1$ に設定しておく。A=B="1"、A又はB="1"では、上述のようにTr 5は開放と等価なのでANDと同じ動作を行う。A=B="0"のときはTr 5の I_{d_high} により V_m が放電され、 $V_m=V_s < V_{inv2}$ 、 $V_{out}="1"$ となる。尚、 $\beta_{p1}=1$ 、 $\beta_{n2}=10$ 、 $\beta_{n5}=50$ にしておくと、全ての入力パターンに対して $V_{out}="1"$ となる(図34 (A)、(B) 参照)。

【0077】

4) AND/OR/XNOR+XOR

図36に、AND/OR/XNOR+XOR回路を示す。XORは、A=B="1"及びA又はB="1"のときの入出力関係はORと同じであり、A=B="1"のときのみ異なり、 $V_{out}="0"$ である。A=B="1"のとき $V_{out}="0"$ (そのためには $V_m="1"$)となるような回路を加えればよい。Tr 6、Tr 7、Tr 8(p型SMOS)を、Tr 3、Tr 4、Tr 5(n型SMOS)と相補的に用いることでXOR機能が加わる。Tr 6、Tr 7から成るインバータは、閾値 V_{inv4} が $V_{dd}/2$ より高く設計されている。そのため、A=B="1"のときのみ $V_{in_p}="0"$ となり、Tr 8がオンする(図37)。

【0078】

このTr 8は駆動力 β_{p8} の変化がTr 1、Tr 2のそれより大きく、 $\beta_{p8}=0.5$ 又は50とする。 $\beta_{p8}=50$ であれば、十分大きな電流(I_{d_high})が流れるが、 $\beta_{p8}=0.5$ であれば電流値(I_{d_low})は非常に小さい。図38 (A), (B) 及び図39 (A), (B) に $\beta_{p8}=50$ 、 $\beta_{n5}=0.5$ のときの動作点 V_m を示す。実線は、TR 1とTr 8に流れる電流の和であり、破線はTr 2とTr 5に流れる電流の和である。尚、 I_{d_low} は無視した。

その動作の詳細を表9に示す。

【0079】

【表9】

β_{p1}	β_{n2}	β_{n5}	β_{p8}	V_m			V_{out}			機能	
				A	0	0	1	$(V_m \text{ の順に})$			
				B	0	1	1				
1	10	0.5	0.5		"1"	"0"	"0"	"0"	"1"	"1"	OR
10	1	0.5	0.5		"1"	"1"	"0"	"0"	"0"	"1"	AND
1	10	50	0.5		"0"	"0"	"0"	"1"	"1"	"1"	all "1"
10	1	50	0.5		"0"	"1"	"0"	"1"	"0"	"1"	XNOR
1	10	0.5	50		$V_O("1")$	$V_P("0")$	$V_T("1")$	"0"	"1"	"0"	XOR
10	1	0.5	50		$V_O("1")$	$V_R("1")$	$V_U("1")$	"0"	"0"	"0"	all "0"

【0080】

4-1) AND/OR/XNOR

図36の回路において、Tr 8を駆動力のない状態($\beta_{p8}=0.5$)にしておけば、Tr 8に流れる電流を無視することができ、Tr 8の部分は開放とみなせる。そのため図30の回路と等価で、 β_{p1} 、 β_{n2} 、 β_{n5} を変えることでAND/OR/XNOR機能を持たせることができる。

【0081】

4-2) XOR (図38 (A)、(B))

Tr 8は $\beta_{p8}=50$ であり、その他はORと同じく $\beta_{p1}=1$ 、 $\beta_{n2}=10$ 、 $\beta_{n5}=0.5$ に設定しておく。 $A=B="0"$ 、 A 又は $B="1"$ では、上述のようにTR 8は開放でありORと同じ動作をする。 $A=B="1"$ のときは、Tr 8の I_{d_high} により V_m が充電され、 $V_m=V_T > V_{inv_2}$ 、 $V_{out}="0"$ となる。さらに、 $\beta_{p1}=10$ 、 $\beta_{n2}=1$ 、 $\beta_{n5}=0.5$ 、 $\beta_{p8}=50$ にしておくと、全

ての入力パターンに対して $V_{out} = "0"$ となる(図39(A)、(B))。

【0082】

5) AND/OR/XNOR/XOR+NAND/NOR

図12と同様に図30の回路の出力にインバータをいれても良いが、ここでは別の方法について説明する。図36に示す回路中、Tr5は、 $A=B="0"$ の場合のみ機能し、 $V_m="0"$ とする。また、Tr8は、 $A=B="1"$ のときのみ機能し、 $V_m="1"$ とする。これを考慮すると、NAND/NORは、図36の回路のままでも実現できる。回路中の素子数は、トランジスタが10、キャパシタが2である。この回路は、CMOS構成であり、定常電流が流れるのはTr5もしくはTr8がオンの場合のみである。また、回路のレイアウトも非常にコンパクトにできる。

【0083】

図36に示す回路において、 $\beta_{n5}=\beta_{p8}=50$ の場合の負荷曲線を図40及び図41に示す。その動作を表10にまとめる。

【0084】

【表10】

β_{p1}	β_{n2}	β_{n5}	β_{p8}	V_m			V_{out} (V_m の順に)			機能	
				A B	0 0	0 1	1 1				
1	10	0.5	0.5		"1"	"0"	"0"	"0"	"1"	"1"	OR
10	1	0.5	0.5		"1"	"1"	"0"	"0"	"0"	"1"	AND
1	10	50	0.5		"0"	"0"	"0"	"1"	"1"	"1"	all "1"
10	1	50	0.5		"0"	"1"	"0"	"1"	"0"	"1"	XNOR
1	10	0.5	50		"1"	"0"	"1"	"0"	"1"	"0"	XOR
10	1	0.5	50		"1"	"1"	"1"	"0"	"0"	"0"	all "0"
1	10	50	50		$V_T("0")$	$V_P("0")$	$V_U("1")$	"1"	"1"	"0"	NAND
10	1	50	50		$V_S("0")$	$V_R("1")$	$V_V("1")$	"1"	"0"	"0"	NOR

【0085】

5-1) AND/OR

$\beta_{n5}=0.5$ 、 $\beta_{p8}=0.5$ とすると、Tr5、Tr8とも開放なので、図24の回路と等価である。

5-2) XNOR

$\beta_{n5}=50$ 、 $\beta_{p8}=0.5$ とすると、Tr 8が開放なので、図30の回路と等価である。

5-3) XOR

$\beta_{n5}=0.5$ 、 $\beta_{p8}=50$ とすると、図38 (A)、(B) と等価でXORになる。

5-4) NAND (図40 (A)、(B) 参照)

$\beta_{p1}=1$ 、 $\beta_{n2}=10$ 、 $\beta_{n5}=50$ 、 $\beta_{p8}=50$ とする。A=B="0" のとき、Tr 5により放電されて $V_m=V_T<V_{inv2}$ であり、 $V_{out}="1"$ 、A又はB="1" のとき、 $V_m=V_p<V_{inv2}$ であるため、 $V_{out}="1"$ となる。A=B="1" のとき、Tr 8により充電されて $V_m=V_u>V_{inv2}$ であり、 $V_{out}="0"$ となる。

5-5) NOR (図41 (A)、(B) 参照)

$\beta_{p1}=10$ 、 $\beta_{n2}=1$ 、 $\beta_{n5}=50$ 、 $\beta_{p8}=50$ とする。A=B="0" のとき、Tr 5により放電されて $V_m=V_S<V_{inv2}$ なので、 $V_{out}="1"$ 、A又はB="1" のとき、 $V_m=V_R>V_{inv2}$ なので、 $V_{out}="0"$ である。A=B="1" のとき、Tr 8により充電されて $V_m=V_v>V_{inv2}$ なので、 $V_{out}="0"$ である。

【0086】

次に、本発明の第4の実施の形態による第2のCMOS構成の論理回路について図面を参照しつつ説明を行う。本実施の形態による論理回路においては、閾値可変インバータを出力段のインバータに用いて書き換え可能な論理回路を構成する。論理閾値 V_{inv} は2値（これを V_{inv_high} 、 V_{inv_low} とする）で十分であり、通常のnMOSとp型SMOSとを含むインバータを用いる。このインバータは、アナログ電圧（以下に述べる“1/2”）をディジタル論理レベル（“0”または“1”）まで増幅するA-Dコンバータとしての機能を有する。本発明の実施の形態によると、1種類のスピントランジスタのみを用いれば良いため構造が簡単になる。

【0087】

1) NAND/NOR

図42は、本実施の形態によるNAND/NOR回路の構成例を示す図である。図5に示す回路との相違点は、 V_m の値をSMOSによって変えるのではなく、インバータで論理レベルまで増幅する際の閾値を変えることである。すなわち、図43に示すように、図42に示す論理回路の負荷曲線（ ν MOSの特性）は1本であり、動作点は V_0 、 V_P 、 V_Q のみであるが、論理閾値 V_{inv} を、A又はB = “1”のときの動作点 V_P より上(V_{inv_high})にするか、 V_P より下(V_{inv_low})にするかにより動作点を変えて機能を変更する。この V_{inv_low} と V_{inv_high} の間の領域を“1/2”とする。図44に真理値表を、表11に上記回路の詳細な動作を示す。

【0088】

【表11】

V_{inv}	V_m			V_{out} (V_m の順に)	機能
	A	0	1		
V_{inv_low}	B	0	1	“1” “0” “0”	NOR
V_{inv_high}	B	0	1	“1” “1” “0”	NAND

【0089】

A=B=“0”の場合、 $V_m=V_0 < V_{inv_low}$ 、 V_{inv_high} であり、インバータにより V_{out} =“1”となる。A=B=“1”の場合には、 $V_m=V_Q < V_{inv_low}$ 、 V_{inv_high} であり、インバータにより V_{out} =“0”となる。尚、以上の出力は、インバータの論理閾値 V_{inv} に依存しない。A又はB=“1”の場合には、 $V_{inv_low} < V_P < V_{inv_high}$ であり、 $V_{inv}=V_{inv_low}$ であれば V_{out} =“0”であるためNOR回路に、 $V_{inv}=V_{inv_high}$ であれば、 V_{out} =“1”であるためNAND回路になる。

【0090】

2) NAND/NOR+XOR

図45にNAND/NOR+XNOR回路を示す。図46にその動作点を示す。この動作原理は図7～図11と同様であり、NORにおいて、A=B=“1”のとき V_{out} =“1”（そのためには V_m =“0”）とする回路がTr3、Tr4、Tr5（n型SMOS）である。このTr5は、駆動力の高い状態（ $\beta_{n5}=1$

0) と低い状態 ($\beta_{n5}=1$) がある。その動作の詳細について表12に示す。

【0091】

【表12】

V _{inv}	β _{n5}	V _m			V _{out} (V _m の順に)			機能	
		A	0	0	1				
		B	0	1	1				
V _{inv_low}	1		V _O ("0")	V _P ("1/2")	V _Q ("1")	"1"	"0"	"0"	NOR
V _{inv_high}	1		V _O ("0")	V _P ("1/2")	V _Q ("1")	"1"	"1"	"0"	NAND
V _{inv_low}	10		V _O ("0")	V _P ("1/2")	V _R ("0")	"1"	"0"	"1"	XNOR
V _{inv_high}	10		V _O ("0")	V _P ("1/2")	V _R ("0")	"1"	"1"	"1"	all "1"

【0092】

2-1) NAND/NOR (図47 (A)、(B) 参照)

図45において、 $Tr5$ を $\beta_{n5}=1$ の状態にすれば、そのドレイン電流 I_{d_low} を無視することができるため開放とみなせ、図42のNAND/NOR回路と等価になる。

2-2) XNOR (図48 (A)、(B) 参照)

図45において $Tr5$ を $\beta_{n5}=10$ 、インバータの閾値をNORと同じく V_{inv_low} としておく。 $A=B="0"$ 、 A 又は $B="1"$ では、上述のように $Tr5$ は開放と等価なのでNORと同じ動作をする。 $A=B="1"$ のときは $Tr5$ の I_{d_high} により V_m が放電され $V_m=V_R<V_{inv_low}$ 、 $V_{out}="1"$ となる。さらに、 $\beta_{n5}=10$ 、 V_{inv_high} としておくと、すべての入力に対して $V_{out}="1"$ となる。

【0093】

3) NAND/NOR/XNOR + XOR

NAND/NOR/XNOR/XOR回路を図49に示す。XORは、 $A=B="1"$ 及び A 又は $B="1"$ のときの入出力関係はNANDと同じで、 $A=B="0"$ のときのみ異なり、 $V_{out}="0"$ である。 $A=B="0"$ のとき、 $V_{out}="0"$ (そのためには $V_m="1"$) となるような回路を加えればよい。p型の $Tr6$ 、 $Tr7$ 、 $Tr8$ (p型SMOS) を、n型の $Tr3$ 、 $Tr4$ 、 $Tr5$ (n型SMOS) と相補的に用いることでXOR機能が加わる。この $Tr8$ は、駆動力の高い状態 ($\beta_{p8}=10$) と低い状態 ($\beta_{p8}=1$) とがある。 $Tr6$ 、

Tr 7のソースフォロアは正のレベルシフタであり、 $A=B=“0”$ の場合のみ Tr 8がオンする。

【0094】

図50は、Tr 6とTr 7の動作特性を表しており、これから V_{in_p} が決まる。 $A=B=“1”$ の動作点 V_D 、 A 又は $B=“1”$ の動作点 V_E は共にTr 8の閾値より大きいので電流は流れず、開放と等価である。 $A=B=“0”$ の V_F のときのみTr 8がオンする。(閾値が $V_{dd}/2$ より大きなp型SMOSが集積可能であればTr 6、Tr 7は不必要で、 V_{fg} ノードを直接Tr 8のゲートと接続すればよい。) $\beta_{p8}=10$ であれば、十分大きな電流 I_{d_high} が流れるが、 $\beta_{p8}=1$ であれば、電流値(I_{d_low})は非常に小さい。図51に $\beta_{p8}=10$ 、 $\beta_{n5}=1$ のときの動作点 V_m を示す。実線はTr 1とTr 8に流れる電流の和であり、図51中 I_{d_low} は無視した。

【0095】

その動作の詳細を表13に示す。

【0096】

【表13】

V_{inv}	β_{n5}	β_{p8}	V_m			V_{out} (V_m の順に)			機能
			A B	0 0	0 1	1 1			
V_{inv_low}	1	1		“0”	“1/2”	“1”	“1”	“0”	NOR
V_{inv_high}	1	1		“0”	“1/2”	“1”	“1”	“1”	NAND
V_{inv_low}	10	1		“0”	“1/2”	“0”	“1”	“0”	XNOR
V_{inv_high}	10	1		“0”	“1/2”	“0”	“1”	“1”	all “1”
V_{inv_low}	1	10		$V_O(“1”)$	$V_P(“1/2”)$	$V_Q(“1”)$	“0”	“0”	all “0”
V_{inv_high}	1	10		$V_O(“1”)$	$V_P(“1/2”)$	$V_Q(“1”)$	“0”	“1”	XOR

【0097】

3-1) NAND/NOR/XNOR

Tr 8を、駆動力のない状態($\beta_{p8}=1$)にしておけば、Tr 8に流れる電流を無視でき、この部分は開放とみなせる。そのため図45の回路と等価であり、 β_{n5} と V_{inv} のみ変えることでNAND/NOR/XOR機能を保つことができる。

3-2) XOR

Tr 8は $\beta_{p8}=10$ 、インバータの閾値はNANDと同じく V_{inv_high} 、Tr 5は開放となるよう $\beta_{n5}=1$ としておく。 $A=B="1"$ 、 A 又は $B="1"$ では上述のようにTr 8は開放であるためNANDと同じ動作をする。 $A=B="0"$ のときはp型SMOSにより V_m が充電され、 $V_m=V_0>V_{inv_high}$ 、 $V_{out}="0"$ となる。さらに、 $\beta_{p8}=10$ 、 V_{inv_low} としておくと、全ての入力に対して $V_{out}="0"$ となる。

【0098】

4) NAND/NOR/XNOR/XOR + OR/AND

図49の回路中、Tr 5は $A=B="1"$ のときのみ機能し、 $V_m="0"$ とする。また、Tr 8は $A=B="0"$ のときのみ機能し、 $V_m="1"$ とする。これを考えると、OR/ANDは図49の回路のままで実現できる。回路中のデバイス数はトランジスタ10と、キャパシタ2である。図49の、 $\beta_{n5}=\beta_{p8}=10$ の負荷曲線を図51(A)に示す。図36の回路は駆動力の変化率が異なる2種類のSMOS (Tr 1とTr 2では例えば10倍、Tr 5とTr 8では例えば100倍程度の変化率)を集積する必要があったが、図49の回路では1種類のSMOSのみでよい。

その動作を表14にまとめる。

【0099】

【表14】

V_{inv}	β_{n5}	β_{p8}	V_m			V_{out}			機能	
			A B	0 0	0 1	1 1	$(V_m \text{の順に})$			
V_{inv_low}	1	1		"0"	"1/2"	"1"	"1"	"0"	"0"	NOR
V_{inv_high}	1	1		"0"	"1/2"	"1"	"1"	"1"	"0"	NAND
V_{inv_low}	10	1		"0"	"1/2"	"0"	"1"	"0"	"1"	XNOR
V_{inv_high}	10	1		"0"	"1/2"	"0"	"1"	"1"	"1"	all "1"
V_{inv_low}	1	10		"1"	"1/2"	"1"	"0"	"0"	"0"	all "0"
V_{inv_high}	1	10		"1"	"1/2"	"1"	"0"	"1"	"0"	XOR
V_{inv_low}	10	10		$V_O("1")$	$V_P("1/2")$	$V_R("0")$	"0"	"0"	"1"	AND
V_{inv_high}	10	10		$V_O("1")$	$V_P("1/2")$	$V_R("0")$	"0"	"1"	"1"	OR

【0100】

4-1) NAND/NOR

$\beta_{n5}=1$ 、 $\beta_{p8}=1$ とすると、Tr 5、Tr 8とも開放なので、図42の回路と等価であり、 V_{inv_low} でNOR、 V_{inv_high} でNANDである。

4-2) XNOR

$\beta_{n5}=10$ 、 $\beta_{p8}=1$ 、 V_{inv_low} とするとTr 8が開放なので、図48の状態と等価でありXNORとなる。

4-3) XOR

$\beta_{n5}=1$ 、 $\beta_{p8}=10$ 、 V_{inv_high} とすると、図15(B)の状態と等価でXNORとなる。

4-4) AND/OR

図49の回路で $\beta_{n5}=10$ 、 $\beta_{p8}=10$ とする(図52(A)、(B)参照)。A=B="0"のとき、Tr 8により充電されて $V=V_0>V_{inv_low}$ 、 V_{inv_high} なので、 $V_{out}="0"$ A=B="1"のとき、Tr 5により放電されて $V_m=V_Q<V_{inv_low}$ 、 V_{inv_high} なので、 $V_{out}="1"$ である。A又はB="1"のとき、Tr 5、Tr 8とも開放なので、図42と等価になる。 $V_{inv_low}<V_p<V_{inv_high}$ なので、 $V_{inv}=V_{inv_low}$ であれば $V_{out}="0"$ でAND回路に、 $V_{inv}=V_{inv_high}$ であれば、 $V_{out}="1"$ でOR回路になる。

尚、第4の実施の形態による回路の場合、各回路図におけるTr 1とTr 2は同じ導電型であればn型又はp型のいずれでも良い。

【0101】

以上、本発明の各実施の形態による論理回路は、不揮発に電流駆動力を可変できるスピントランジスタと2入力の ν MOSを含み、少素子数かつ、不揮発の再構成可能な2入力対称関数を実現することができる。本回路は少素子数で構成できるため、セル面積の小型化が可能で、高速・低消費電力動作が期待できる。従って、開発サイクルの短い集積回路の製造に迅速かつ低コストで対処することができる。

【0102】

以上、本発明の実施の形態による論理回路について説明したが、本発明はこれらに制限されるものではない。その他、種々の変更、改良、組み合わせが可能なことは当業者に自明であらう。

【0103】

【発明の効果】

本発明の論理回路を用いると、少数の素子により構成された回路により、不揮発で再構成可能な2入力の対称関数を実現することができる。本回路は少素子数で構成できるため、セル面積の小型化が可能で、高速・低消費電力動作が期待できる。従って、開発サイクルの短い集積回路の製造に迅速かつ低コストで対処することができるという利点がある。

【図面の簡単な説明】

【図1】

本発明に係る回路の基本構成を示すブロック図である。

【図2】

本発明の実施の形態に用いるスピントランジスタ (A) と、 μ MOS (B) の構造例を示す図である。

【図3】

図2 (A) に示すスピントランジスタの静特性を示す図であり、図3 (A) はソース接地のドレイン電流-ドレイン電圧特性を示す図であり、図3 (B) はドレイン電流のゲート電圧依存性を示す図である。

【図4】

図2 (B) に示す μ MOSトランジスタの静特性を示す図である。

【図5】

本発明の実施の形態によるNAND/NOR回路の構成例を示す図である (E/E構成)。

【図6】

図5に示す回路の動作を示す図である。

【図7】

図5に示す回路の真理値表である。

【図8】

図8 (A) は、本発明の実施の形態によるNAND/NOR/XNOR回路の構成例を示す図であり、図8 (B) は、 V_{in_n} の動作点を示す図である。

【図 9】

図 9 (A) は、図 8 (A) に示す回路の第 1 の動作を示す図であり、図 9 (B) は、図 9 (A) の真理値表である。

【図 10】

図 10 (A) は、図 8 (A) に示す回路の第 2 の動作を示す図であり、図 10 (B) は、図 10 (A) の真理値表である。

【図 11】

図 11 (A) は、図 8 (A) に示す回路の第 3 の動作を示す図であり、図 11 (B) は、図 11 (A) の真理値表である。

【図 12】

全ての 2 入力対称関数が再構成可能な回路の回路構成を示す図である。

【図 13】

本発明の実施の形態による AND/OR 回路の構成例を示す図である (E/D 構成)。

【図 14】

図 13 に示す回路の動作を示す図である。

【図 15】

図 15 (A) 及び (B) は、図 13 に示す回路の真理値表である。

【図 16】

本発明の実施の形態による AND/OR/XNOR 回路の構成例を示す図である。

【図 17】

図 16 に示す回路の V_{in_n} の動作点を示す図である。

【図 18】

図 18 (A) は、図 16 に示す回路の第 1 の動作を示す図であり、図 18 (B)、図 18 (C) はその真理値表である。

【図 19】

図 19 (A) は、図 16 に示す回路の第 2 の動作を示す図であり、図 19 (B) はその真理値表である。

【図 20】

図 20 (A) は、図 16 に示す回路の第 3 の動作を示す図であり、図 20 (B) はその真理値表である。

【図 21】

本実施の形態による全ての 2 入力対称関数が再構成可能な回路の回路構成を示す図である。

【図 22】

図 22 (A) は、本発明の実施の形態による閾値可変インバータの回路構成を示す図であり、図 22 (B) はその動作例を示す図である (第 1 の CMOS 構成)。

【図 23】

通常の CMOS インバータの閾値を pMOS の β と nMOS の β との比の関数としてプロットした図である。

【図 24】

本実施の形態による AND/OR 回路の回路構成例を示す図である。

【図 25】

図 24 に示す回路の第 1 の動作 (図 25 (A)) と、真理値表 (図 25 (B)) である。

【図 26】

図 24 に示す回路の第 2 の動作 (図 26 (A)) と、真理値表 (図 26 (B)) である。

【図 27】

本実施の形態による AND/OR 回路の回路構成例を示す図であり、図 24 に対応する図である (但し、以下においては、入力側の可変閾値インバータを基準に考える)。

【図 28】

図 28 (A) は、図 27 における可変閾値インバータの特性を示す図であり、図 28 (B) は真理値表である。

【図 29】

図 28 (A), (B) に対応する図であり、閾値を変化させた場合の動作と真理値表を示す図である。

【図 30】

本実施の形態による AND/OR/XNOR 回路の回路構成例を示す図である。

【図 31】

図 30 に示す回路の Vin_n の動作点を示す図である。

【図 32】

図 32 (A) は、図 30 に示す回路の第 1 の動作を示す図であり、図 32 (B) は真理値表である。

【図 33】

図 33 (A) は、図 30 に示す回路の第 2 の動作を示す図であり、図 33 (B) は真理値表である。

【図 34】

図 34 (A) は、図 30 に示す回路の第 3 の動作を示す図であり、図 34 (B) は真理値表である。

【図 35】

図 35 (A) は、図 30 に示す回路の第 4 の動作を示す図であり、図 35 (B) は真理値表である。

【図 36】

本発明の実施の形態による AND/OR/XOR/XNOR 回路の構成例を示す図である。

【図 37】

図 36 に示す回路の Vin_p の動作点を動作を示す図である。

【図 38】

図 38 (A) は、図 36 に示す回路の第 1 の動作を示す図であり、図 38 (B) はその真理値表である。

【図 39】

図 39 (A) は、図 36 に示す回路の第 2 の動作を示す図であり、図 39 (B)

)はその真理値表である。

【図 4 0】

図 4 0 (A) は、図 3 6 に示す回路の第 3 の動作を示す図であり、図 4 0 (B) はその真理値表である。

【図 4 1】

図 4 1 (A) は、図 3 6 に示す回路の第 4 の動作を示す図であり、図 4 1 (B) はその真理値表である。

【図 4 2】

図 4 2 は、本発明の実施の形態による NAND/NOR 回路の回路構成を示す図である (第 2 の CMOS 構成)。

【図 4 3】

図 4 2 に示す回路の動作点とインバータの特性を示す図である。

【図 4 4】

図 4 2 に示す回路の真理値表である。

【図 4 5】

本実施の形態による NAND/NOR/XNOR 回路の回路図である。

【図 4 6】

図 4 5 に示す回路の Vin_n の動作点を示す図である。

【図 4 7】

図 4 7 (A) は図 4 5 に示す回路の第 1 の動作を示す図であり、図 4 7 (B) は、その真理値表である。

【図 4 8】

図 4 8 (A) は図 4 5 に示す回路の第 2 の動作を示す図であり、図 4 8 (B) は、その真理値表である。

【図 4 9】

本実施の形態による NAND/NOR/XNOR/XOR 回路の回路図である。

【図 5 0】

図 4 9 に示す回路の Vin_p の動作点を示す図である。

【図 5 1】

図 5 1 (A) は図 4 9 に示す回路の第 1 の動作を示す図であり、図 5 1 (B) は、その真理値表である。

【図 5 2】

図 5 2 (A) は図 4 9 に示す回路の第 2 の動作を示す図であり、図 5 2 (B) は、その真理値表である。

【図 5 3】

図 5 3 (A) は、任意の関数を実現できる LUT と記憶素子とからなる小規模の論理ブロックをマトリックス状に配置し、そのブロック同士をスイッチ（例えばパストランジスタ）により変更可能な配線で接続する回路であり、図 5 3 (B) は、LUT と同期をとるためのフリップフロップ (FF) からなる回路であり、図 5 3 (C) は、2 入力対称関数を実現できる LUT 回路の例である。

【図 5 4】

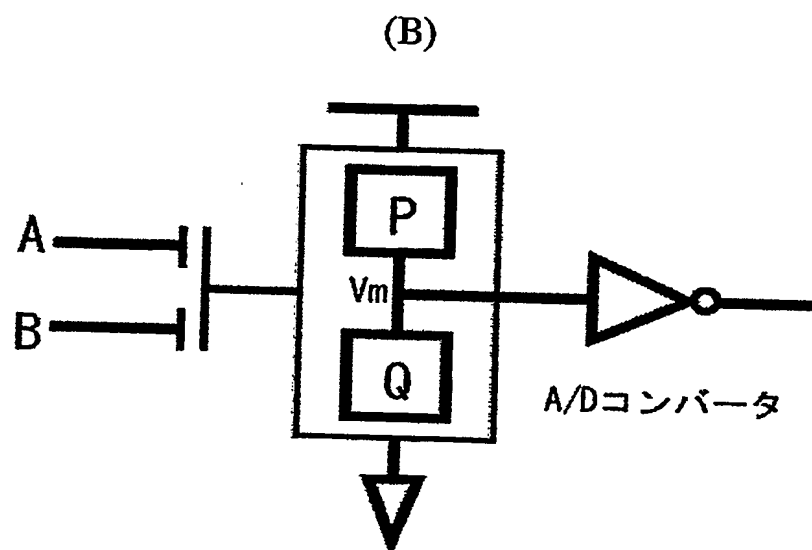
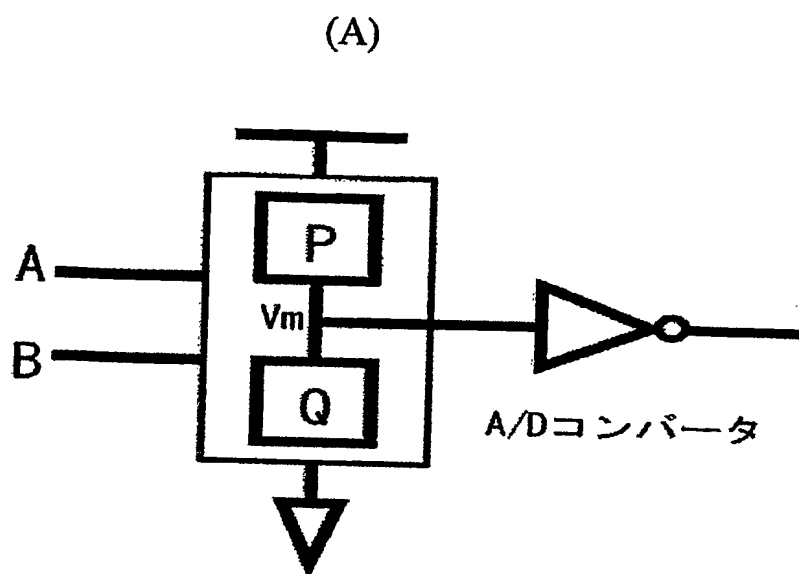
2 入力対称関数を実現可能な論理回路の構成例を示す図である。

【符号の説明】

1…半導体、3…FM (FS) ソース電極、5…FM (FS) ドレイン電極、7…ゲート電極、11…ゲート絶縁膜、13…ソース、15…ドレイン、17a、17b…ゲート電極、21…フローティングゲート。

【書類名】 図面

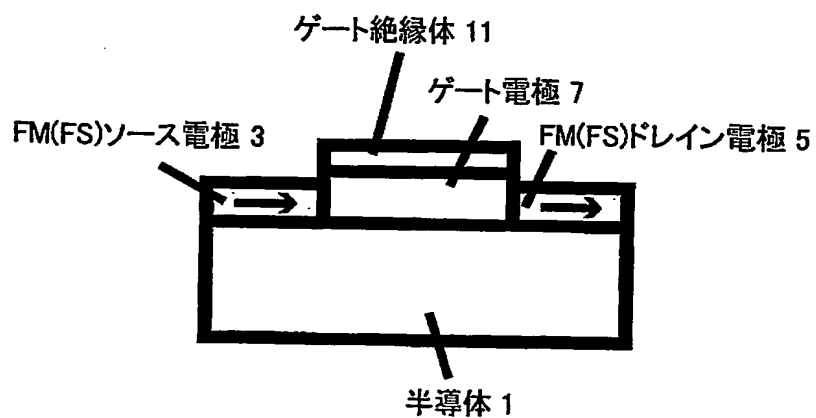
【図 1】



【図 2】

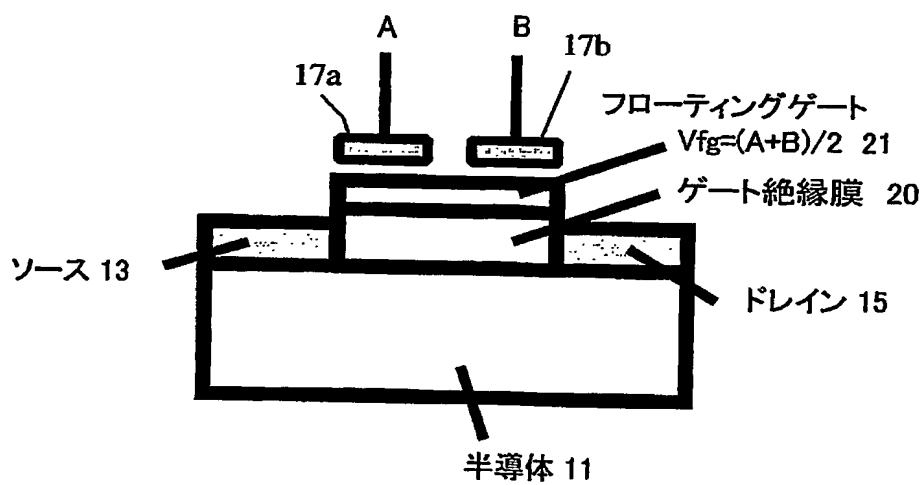
(A)

A



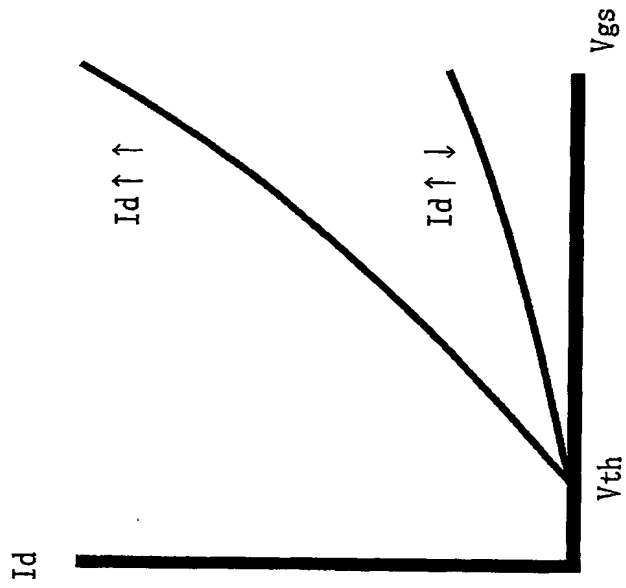
(B)

B

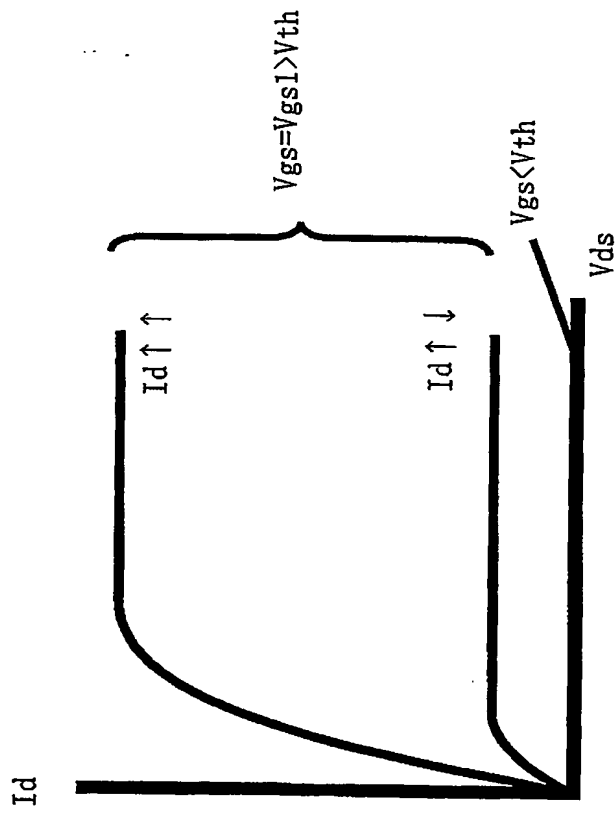


【図 3】

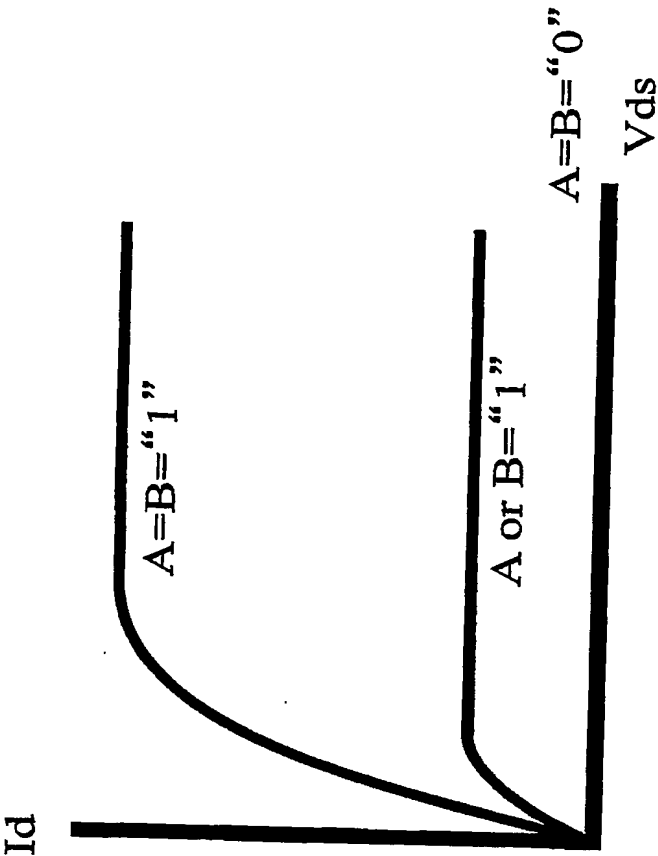
(B)



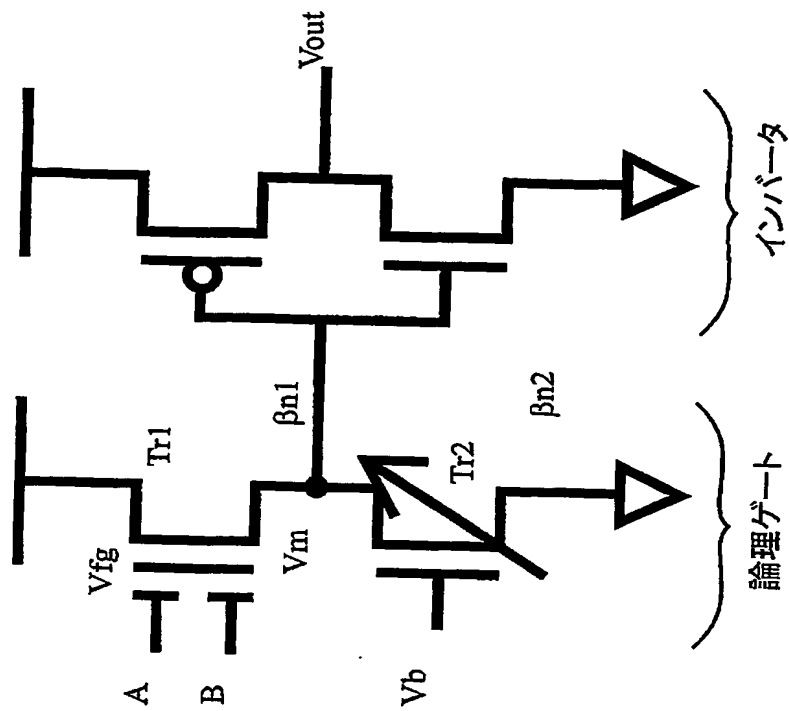
(A)



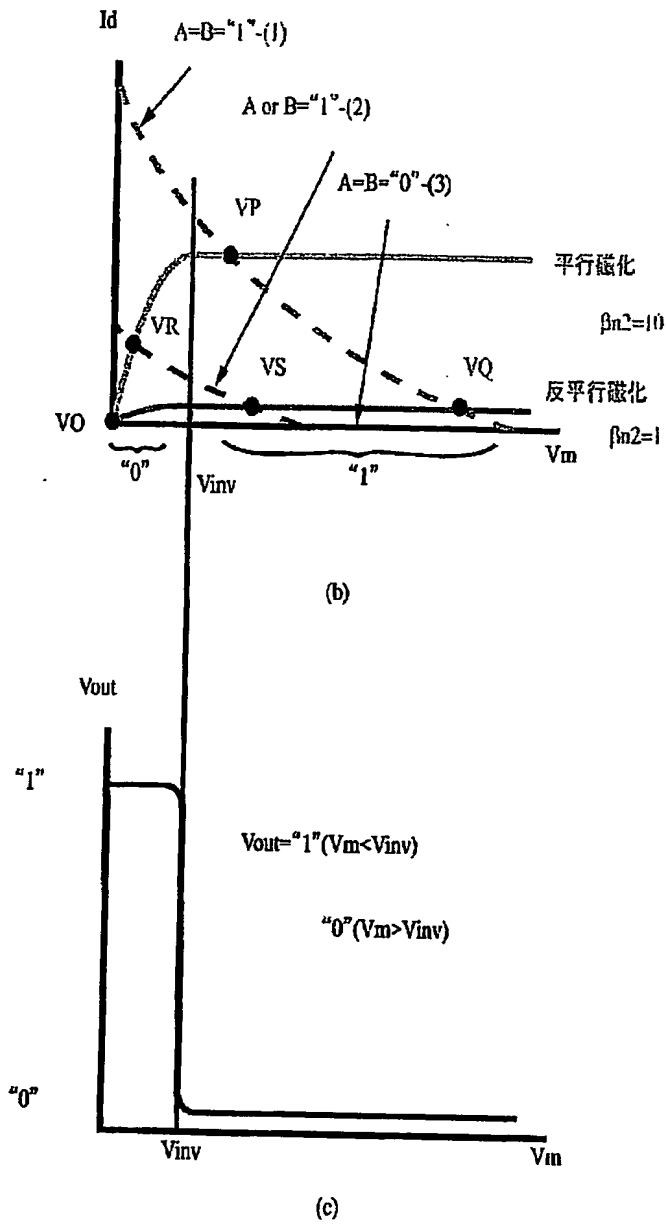
【図 4】



【図5】



【図 6】



$$(1) \quad I_d = \frac{\beta n_1}{2} (V_{dd} - V_m - V_{th})^2$$

$$(2) \quad I_d = \frac{\beta n_1}{2} \left(\frac{V_{dd}}{2} - V_m - V_{th} \right)^2$$

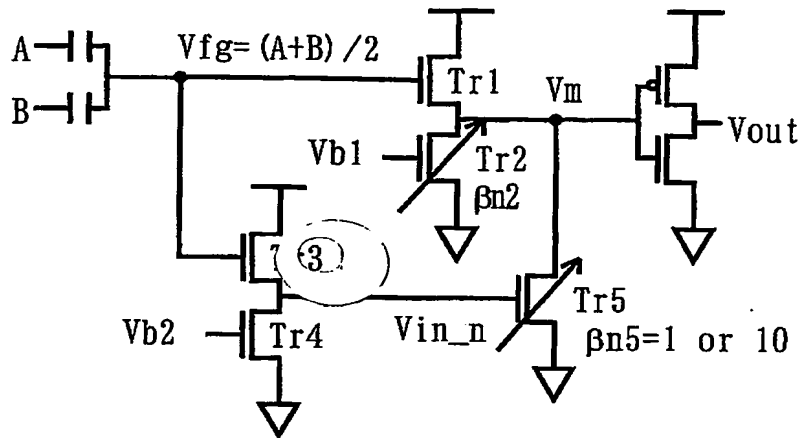
$$(3) \quad I_d = 0$$

【図 7】

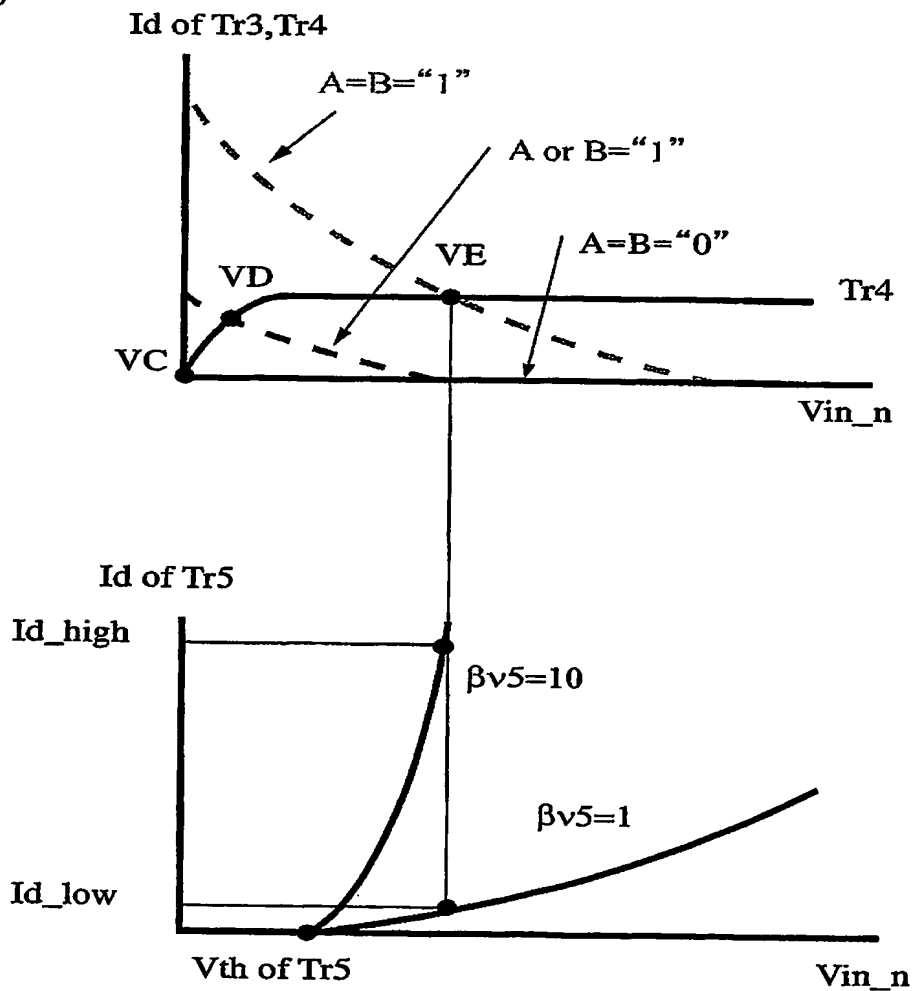
$\beta_{n2}=1$					$\beta_{n2}=10$				
A	B	V _m	V _{out}		A	B	V _m	V _{out}	
0	0	VO	1	NOR	0	0	VO	1	NAND
0	1	VS	0		0	1	VR	1	
1	1	VQ	0		1	1	VP	0	

【図 8】

(A)



(B)



【図 9】

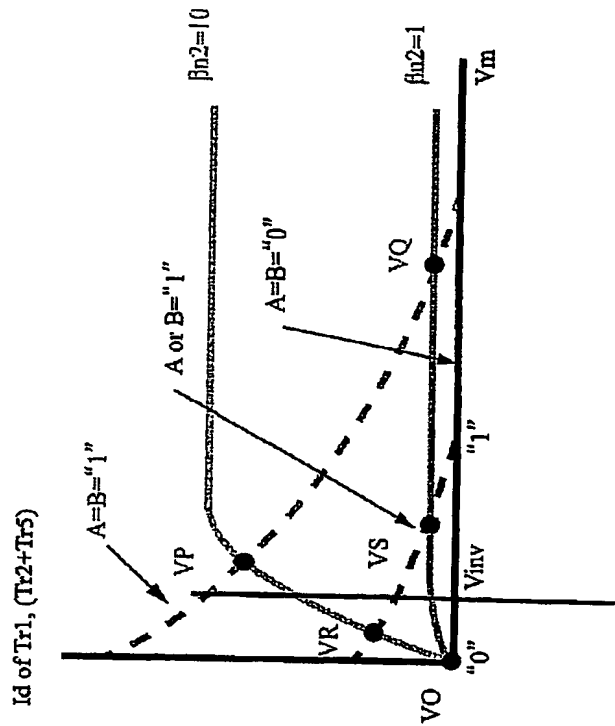
(B)

$\beta_{n2}=1$				$\beta_{n2}=10$			
A	B	V_m	Vout	A	B	V_m	Vout
0	0	VO	1	0	0	VO	1
0	1	VS	0	0	1	VR	1
1	1	VQ	0	1	1	VP	0

NAND

NOR

(A)



$\beta_{n5}=1, \beta_{n2}=1$ or 10

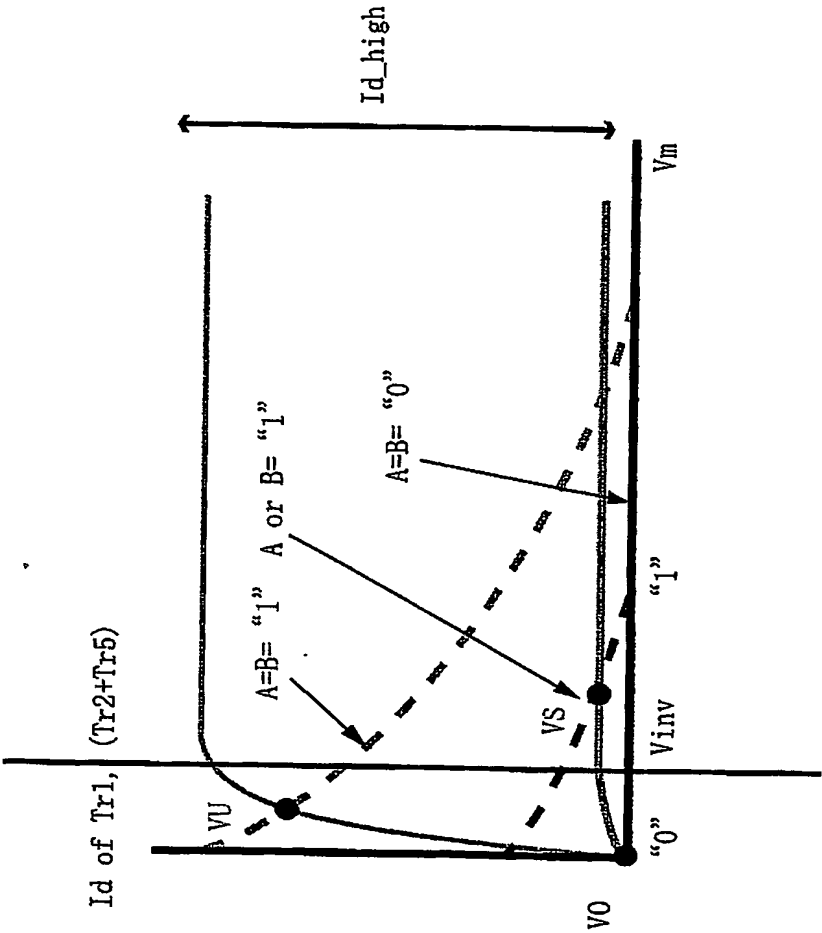
【図 10】

(B)

A	B	V _m	V _{out}
0	0	V _O	1
0	1	V _S	0
1	1	V _U	1

XNOR

(A)



$\beta n5=10, \beta n2=1$

【図 11】

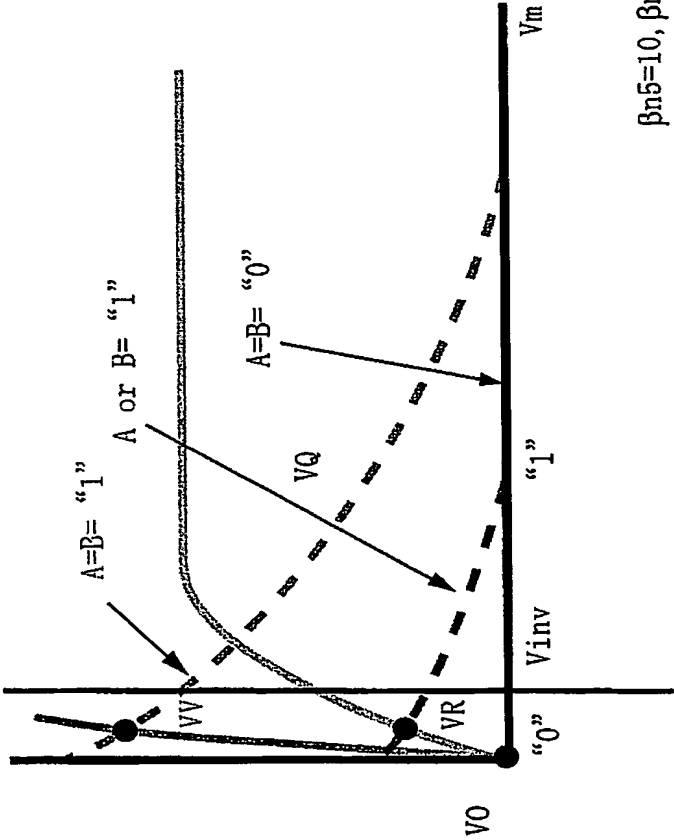
(B)

A	B	V _m	V _{out}
0	0	V _O	1
0	1	V _R	1
1	1	V _V	1

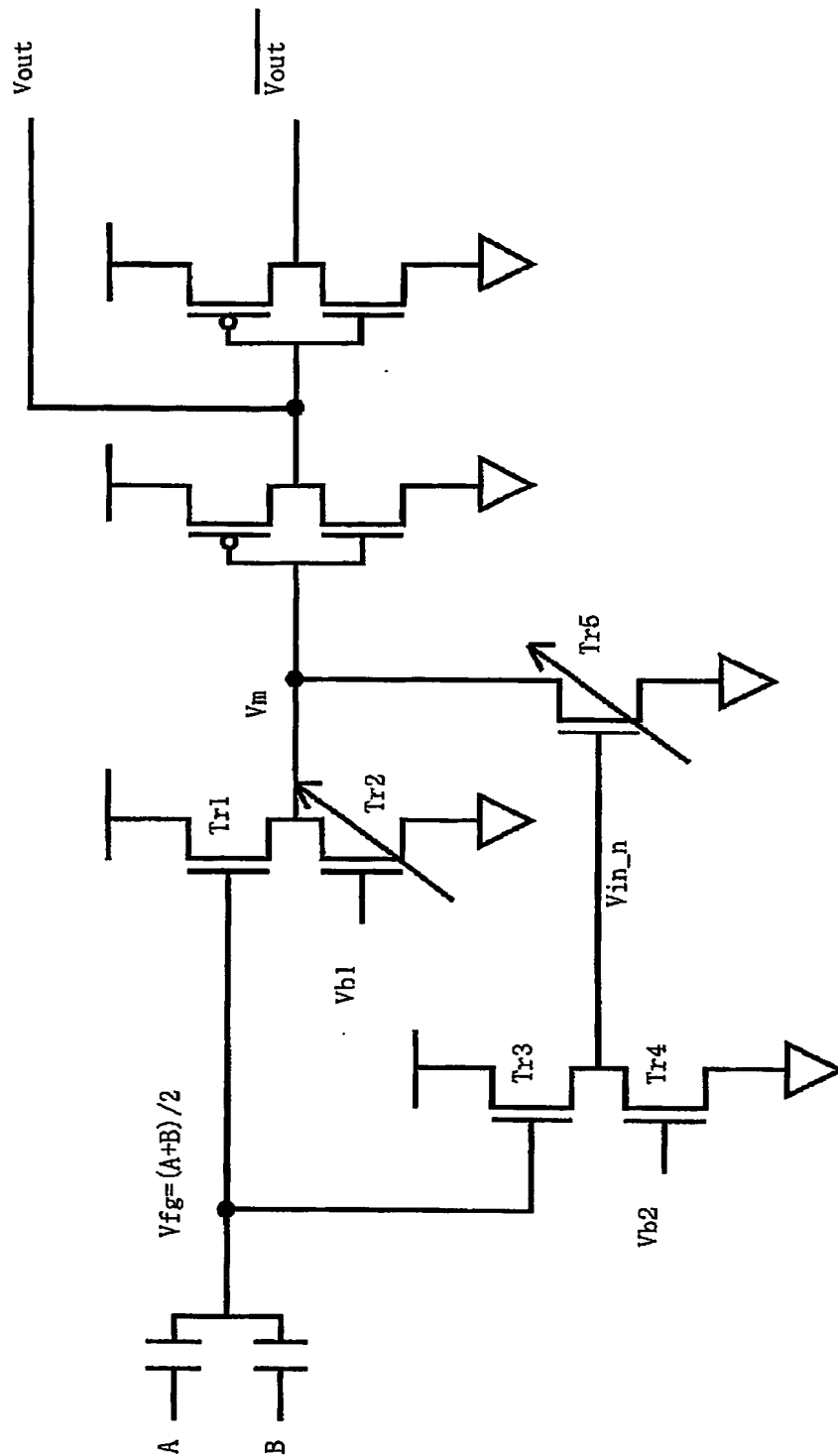
all "1"

(A)

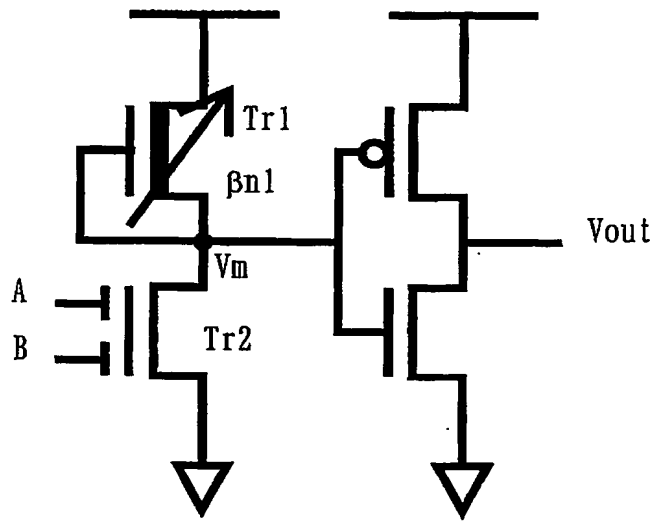
Id of Tr1, (Tr2+Tr5)



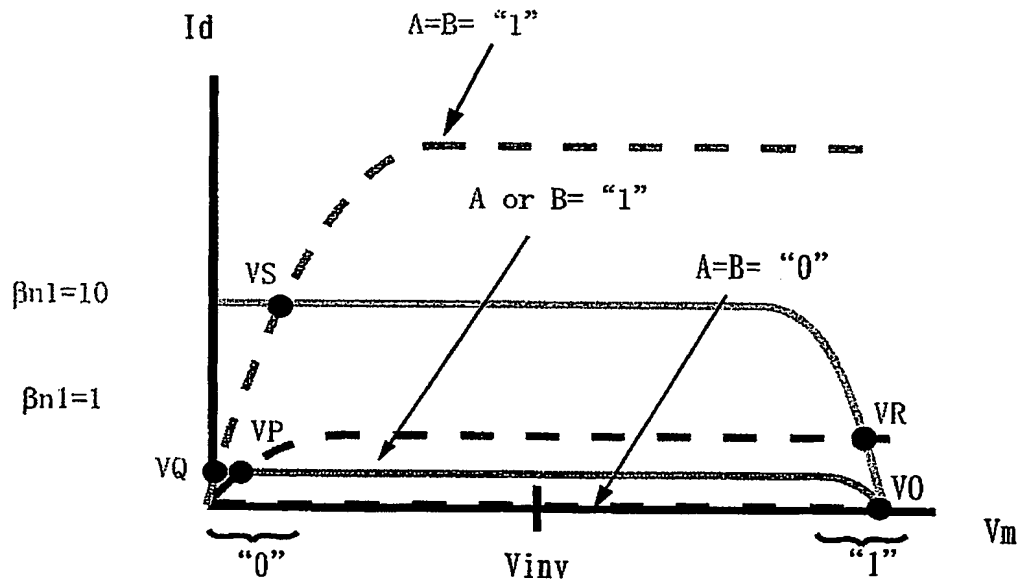
【図 12】



【図 13】



【図 14】

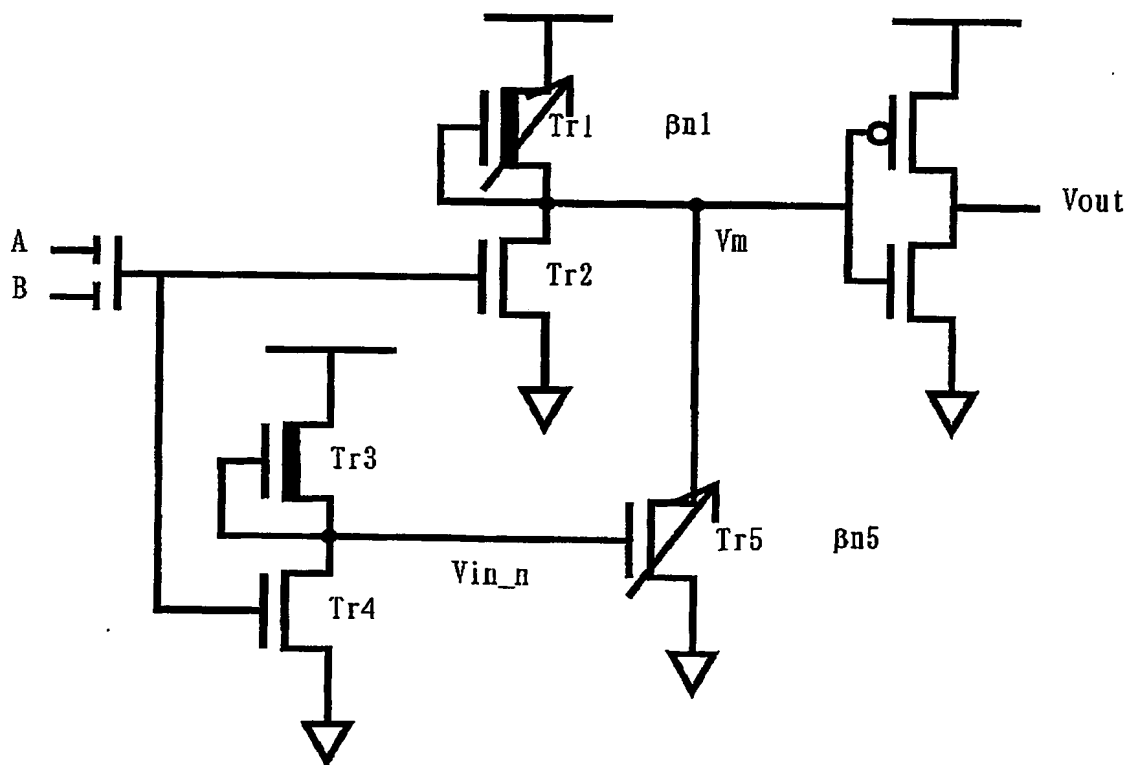


【図 15】

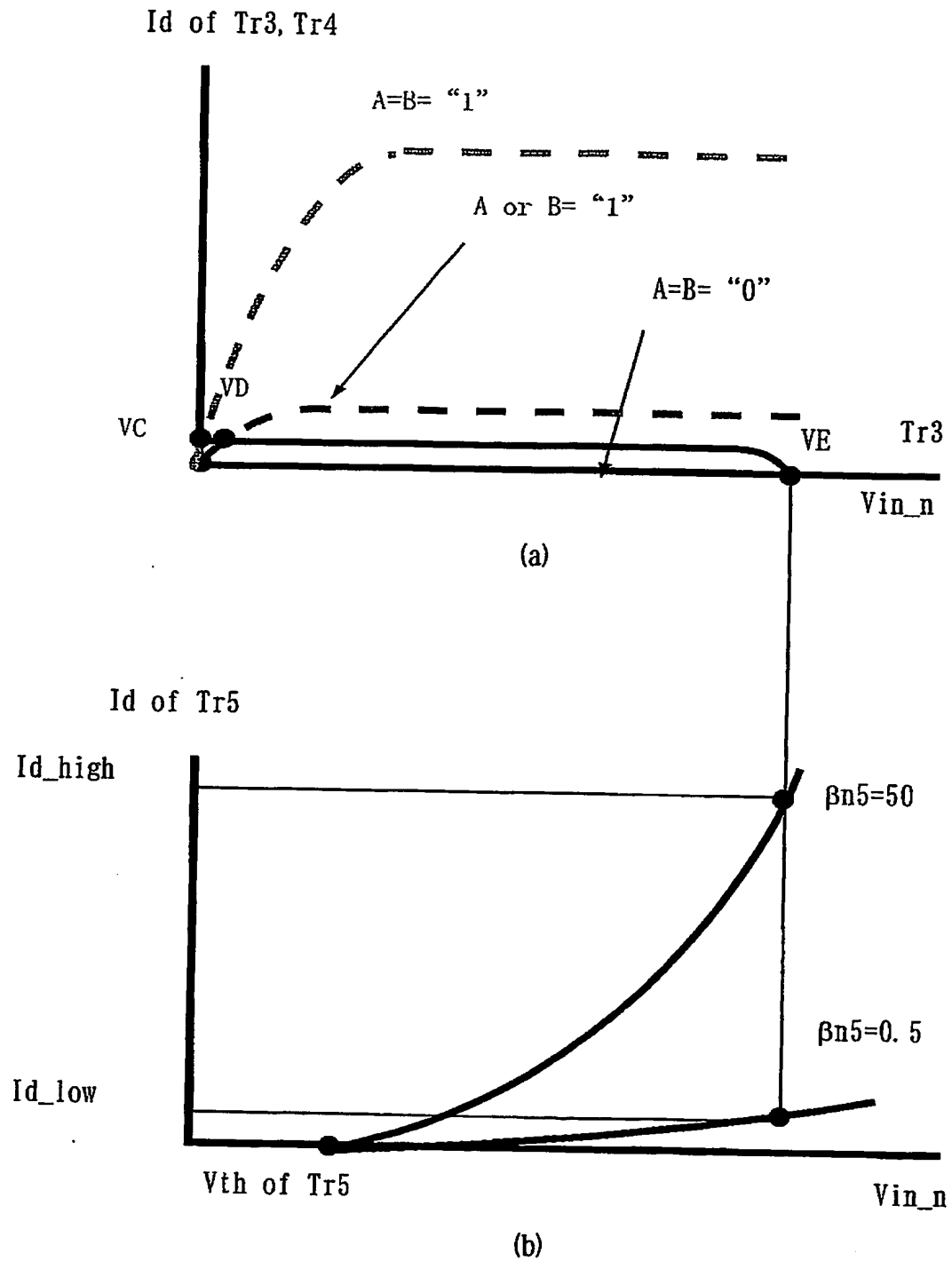
(A)				(B)			
$\beta_{n1}=1$				$\beta_{n1}=10$			
A	B	V_m	Vout	A	B	V_m	Vout
0	0	V_0	"0"	0	0	V_0	"0"
0	1	V_P	"1"	0	1	V_R	"0"
1	1	V_Q	"1"	1	1	V_S	"1"

OR AND

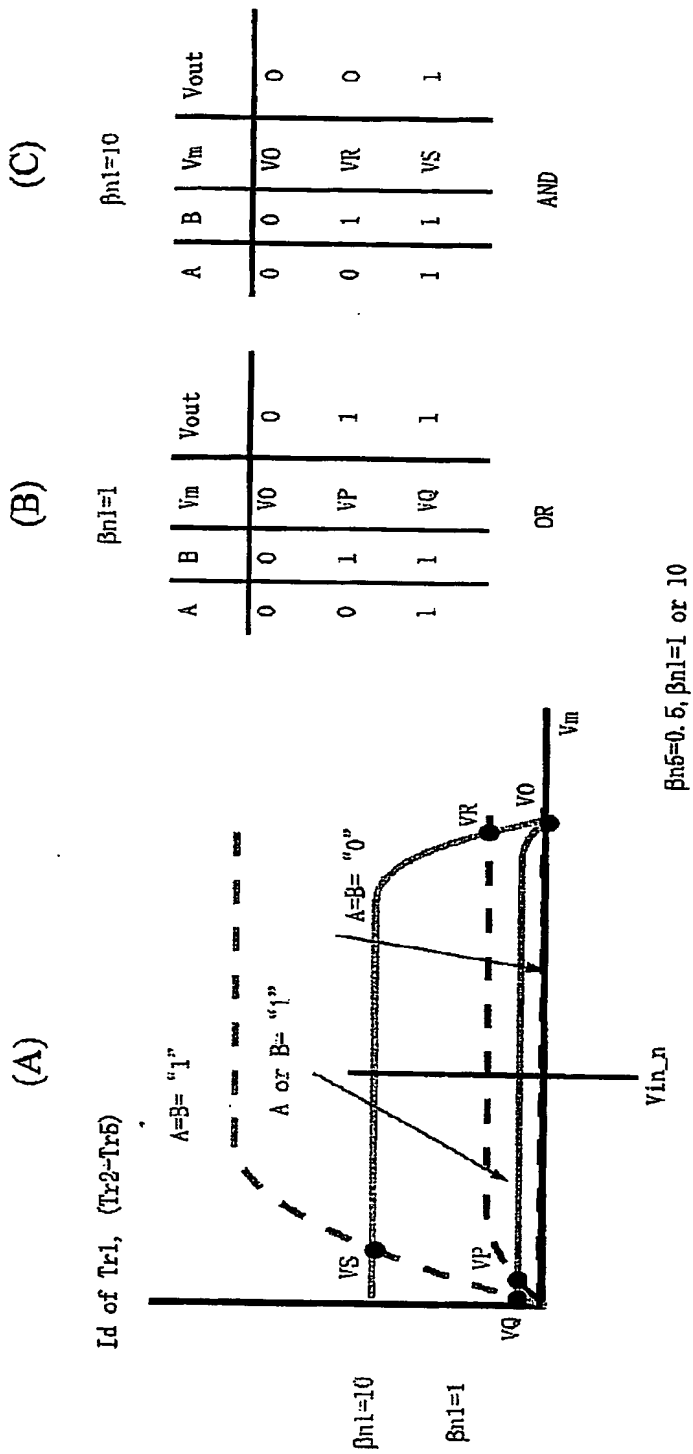
【図 16】



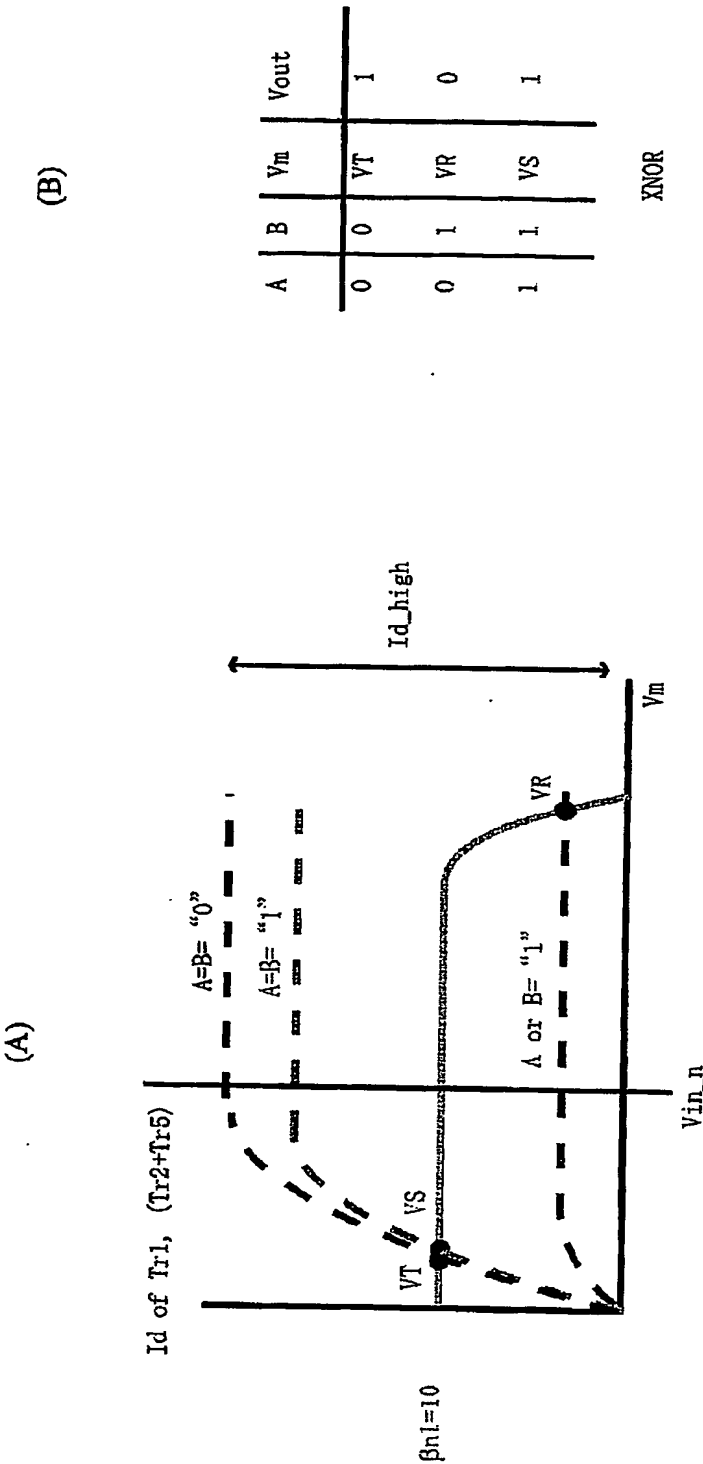
【図 17】



【図 18】

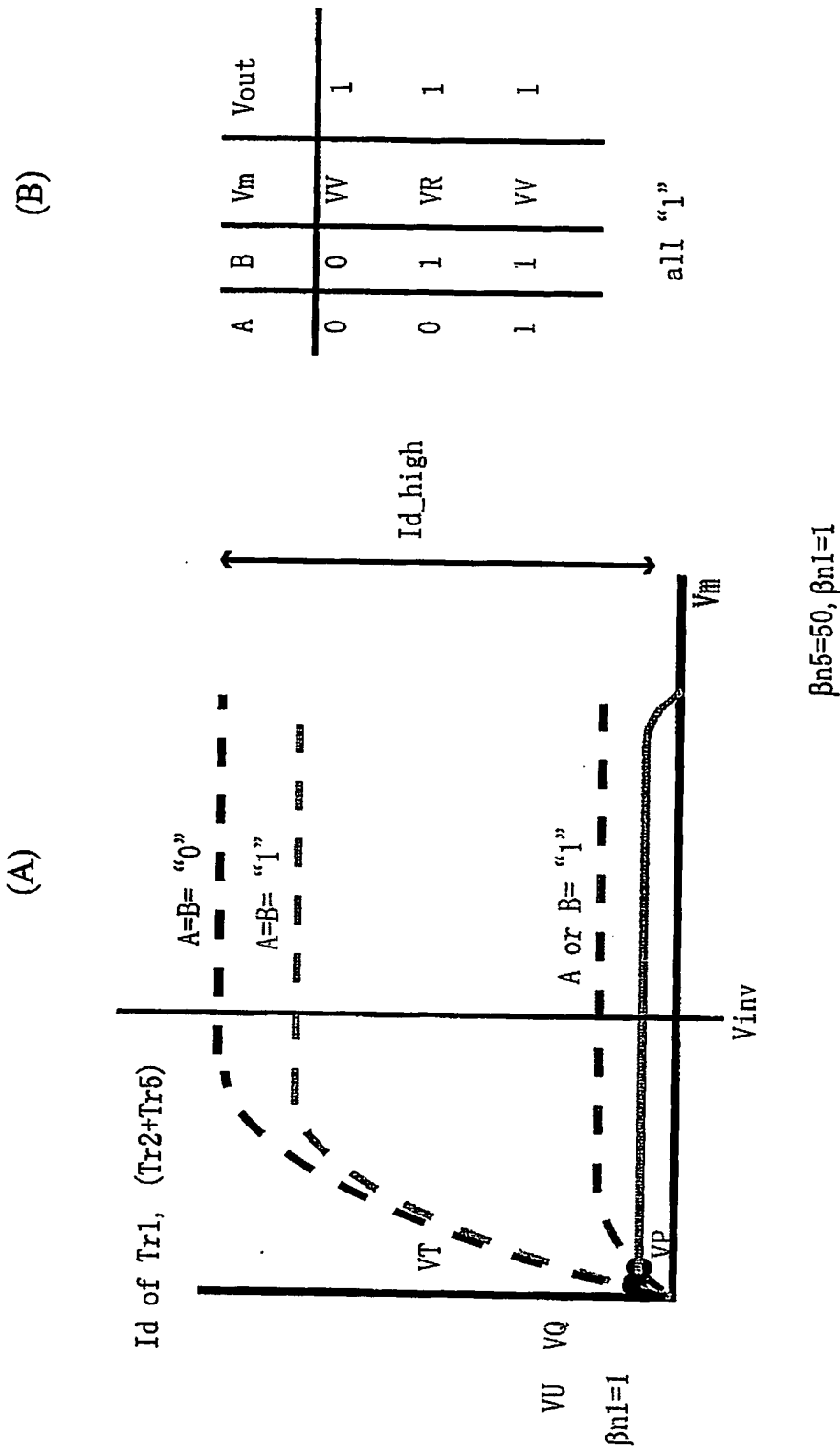


【図 19】

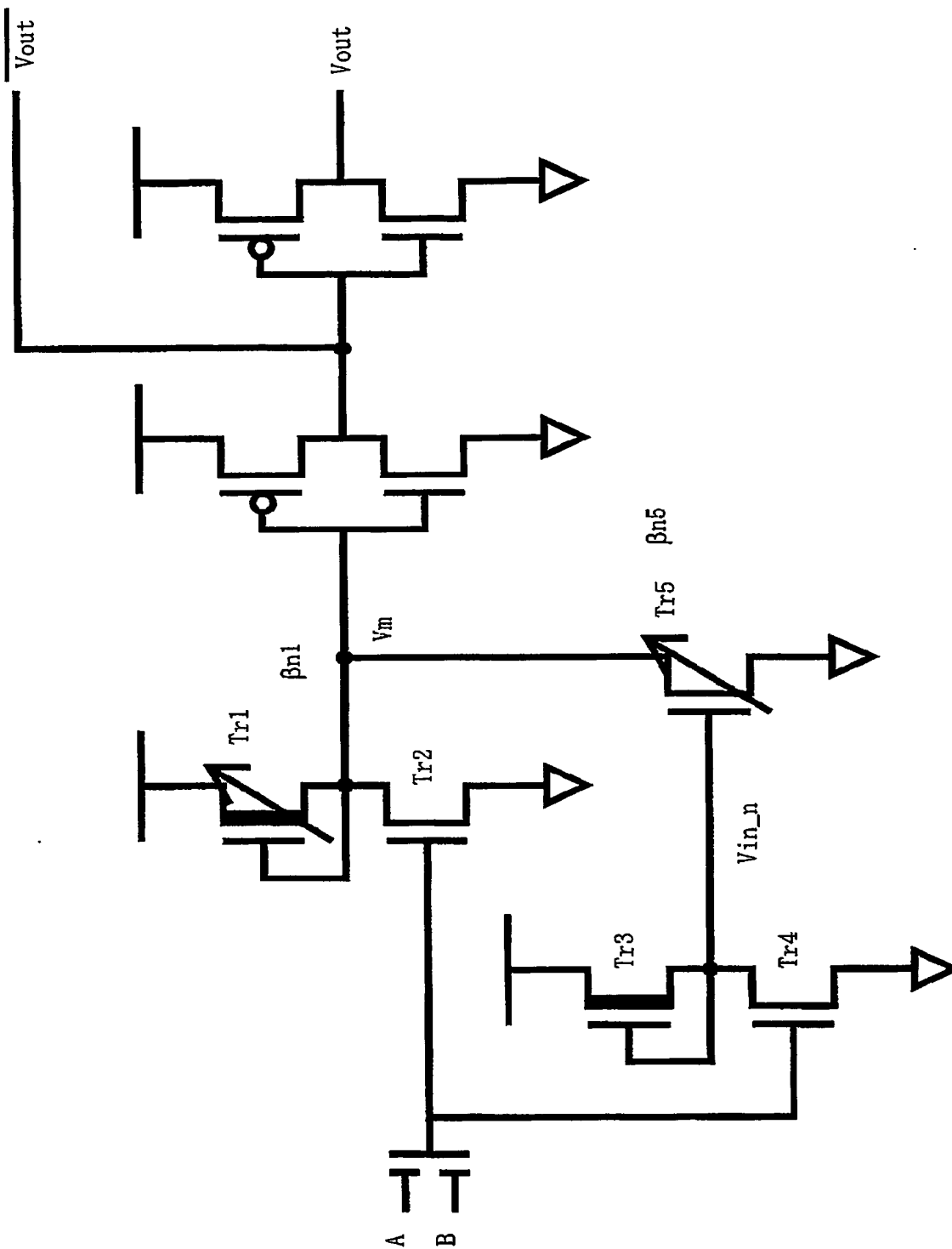


$\beta_{n5}=50, \beta_{n1}=10$

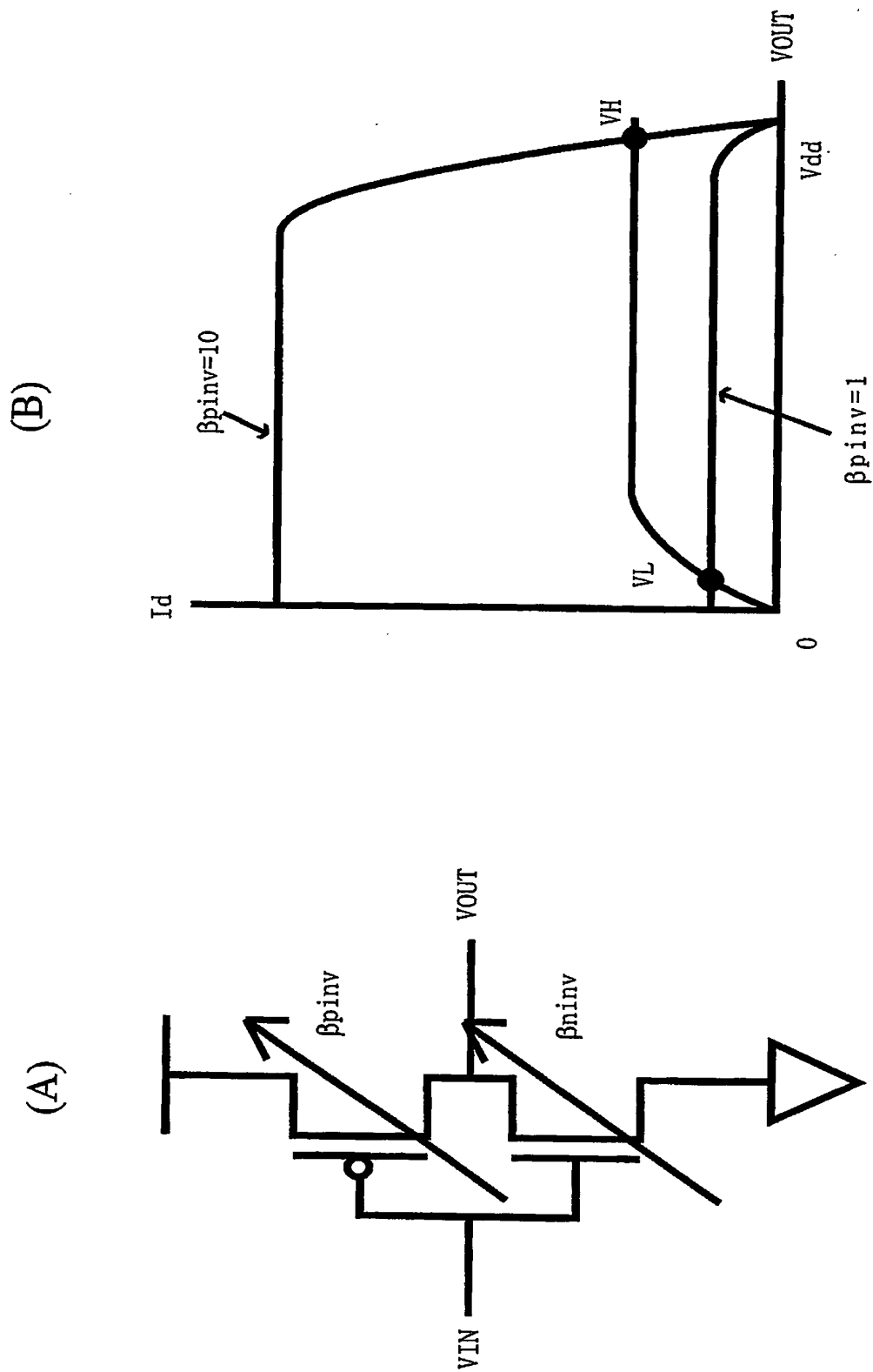
【図 20】



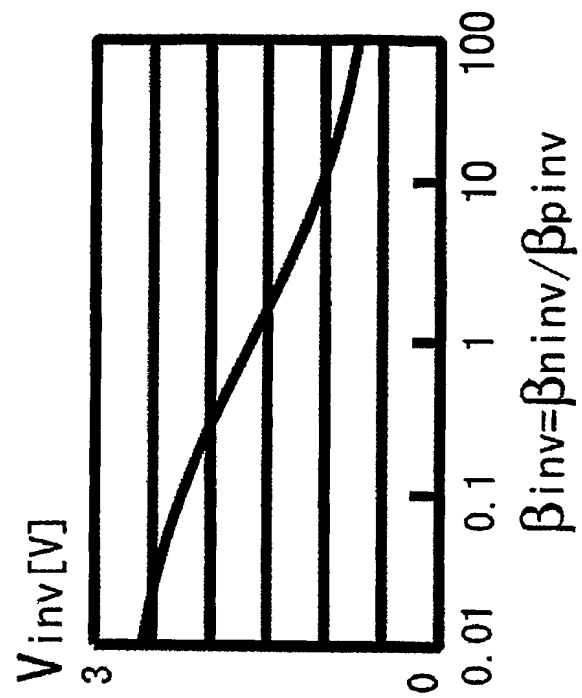
【図 2 1】



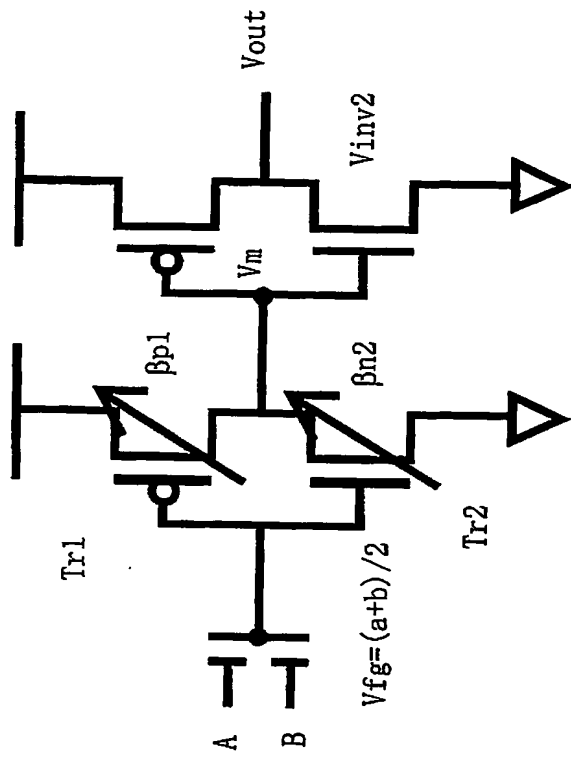
【図 22】



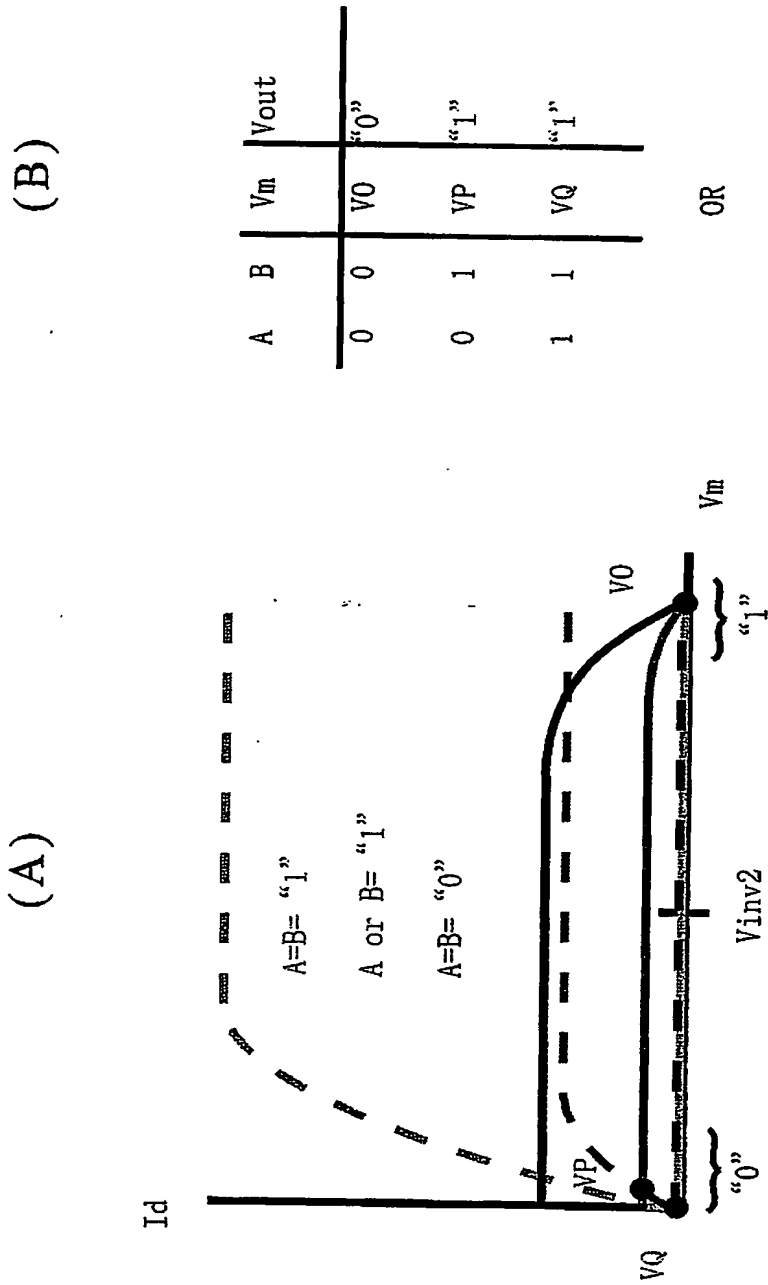
【図 23】



【図 24】

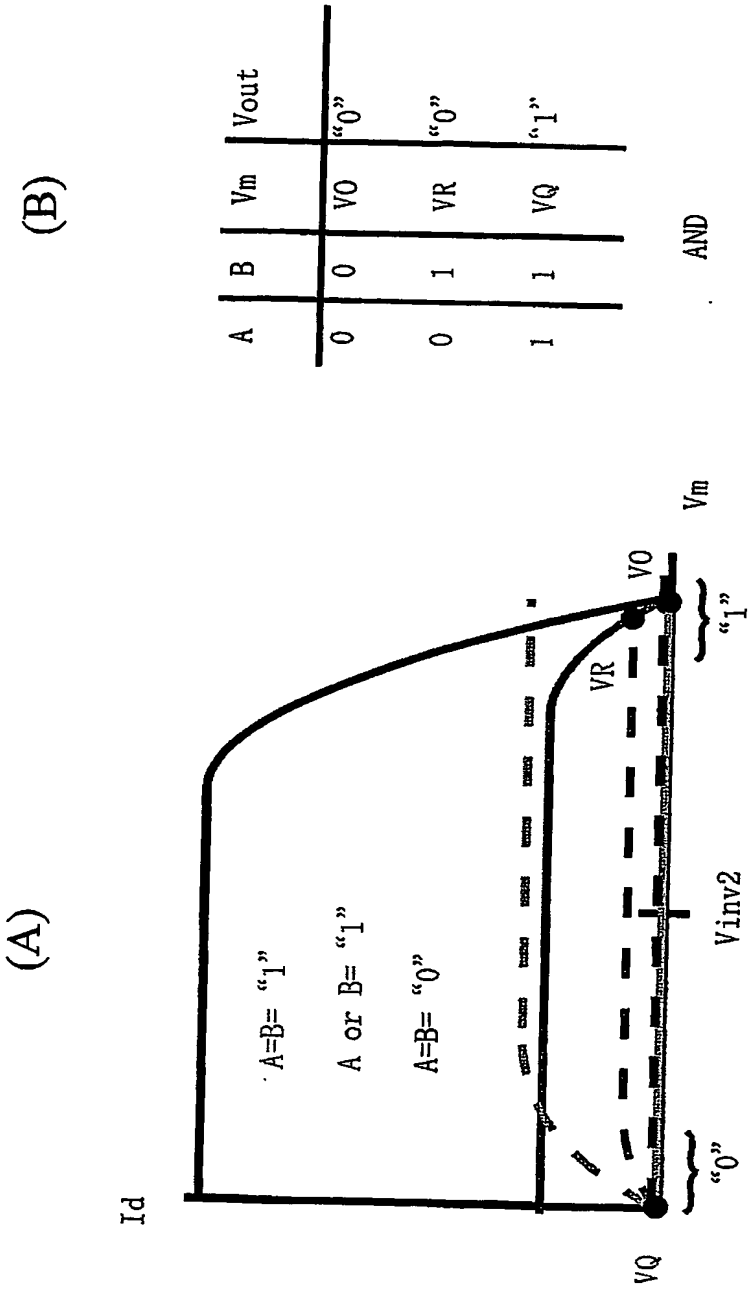


【図 25】



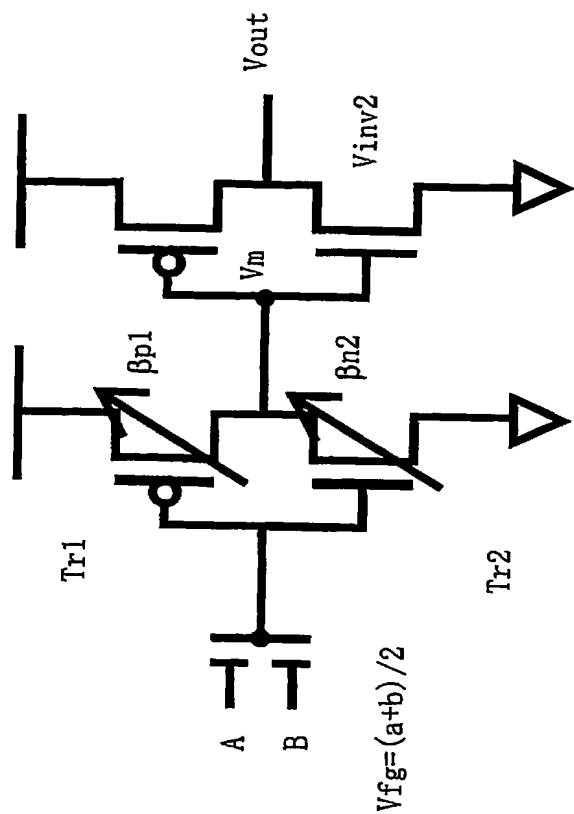
$\beta_{p1}=1, \beta_{n2}=10$

【図 26】

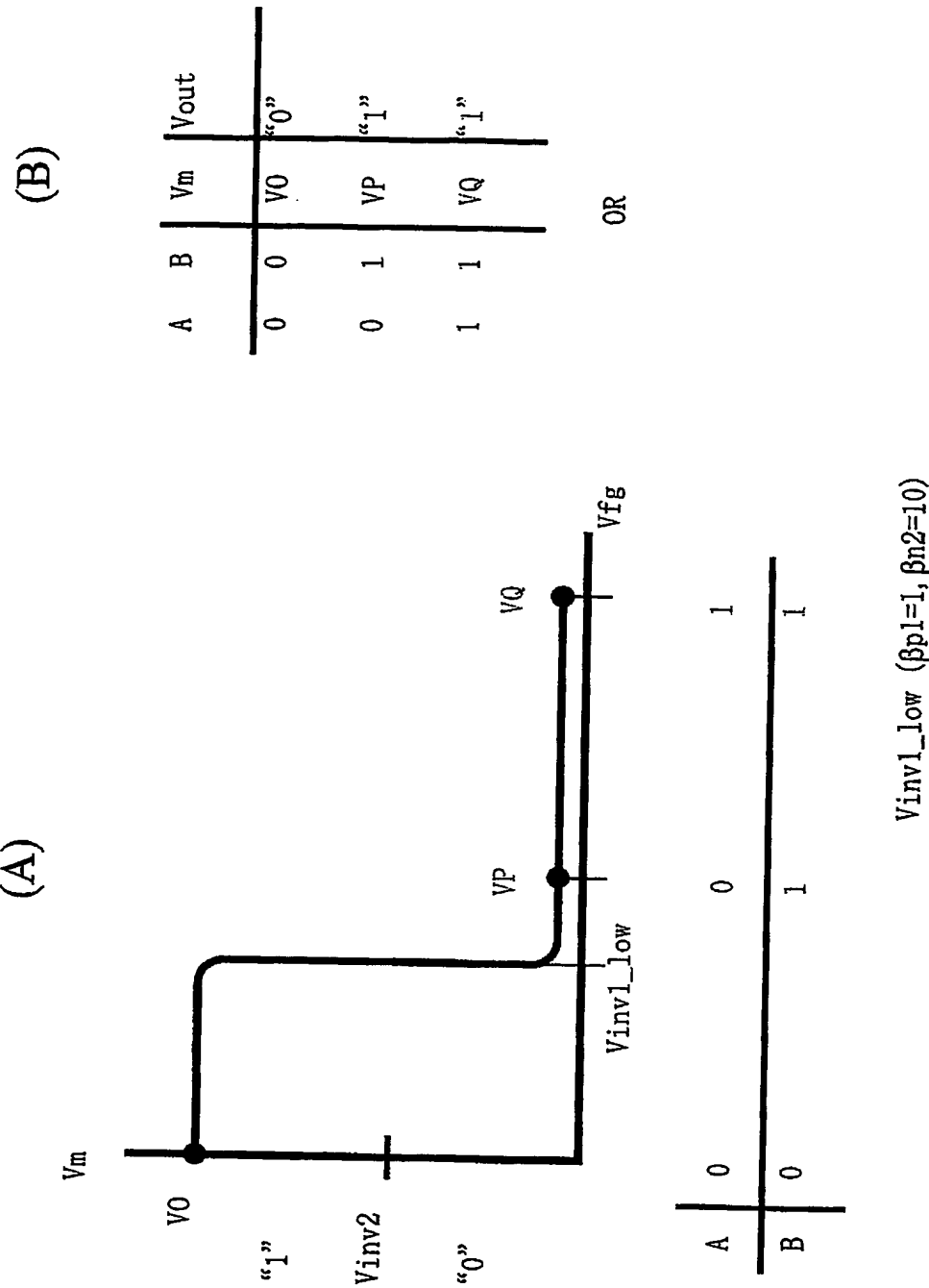


$\beta_{p1}=10, \beta_{n2}=1$

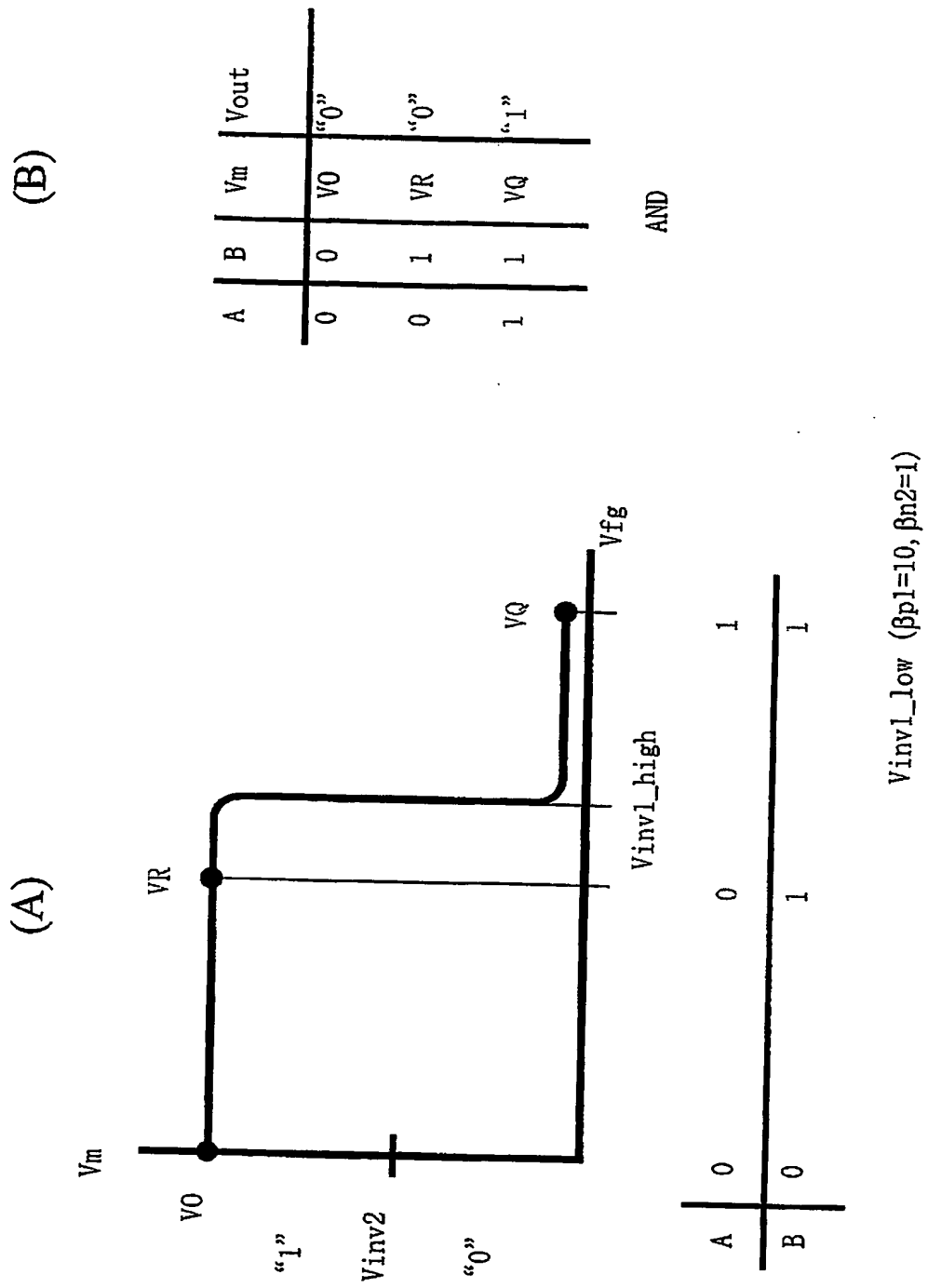
【图 27】



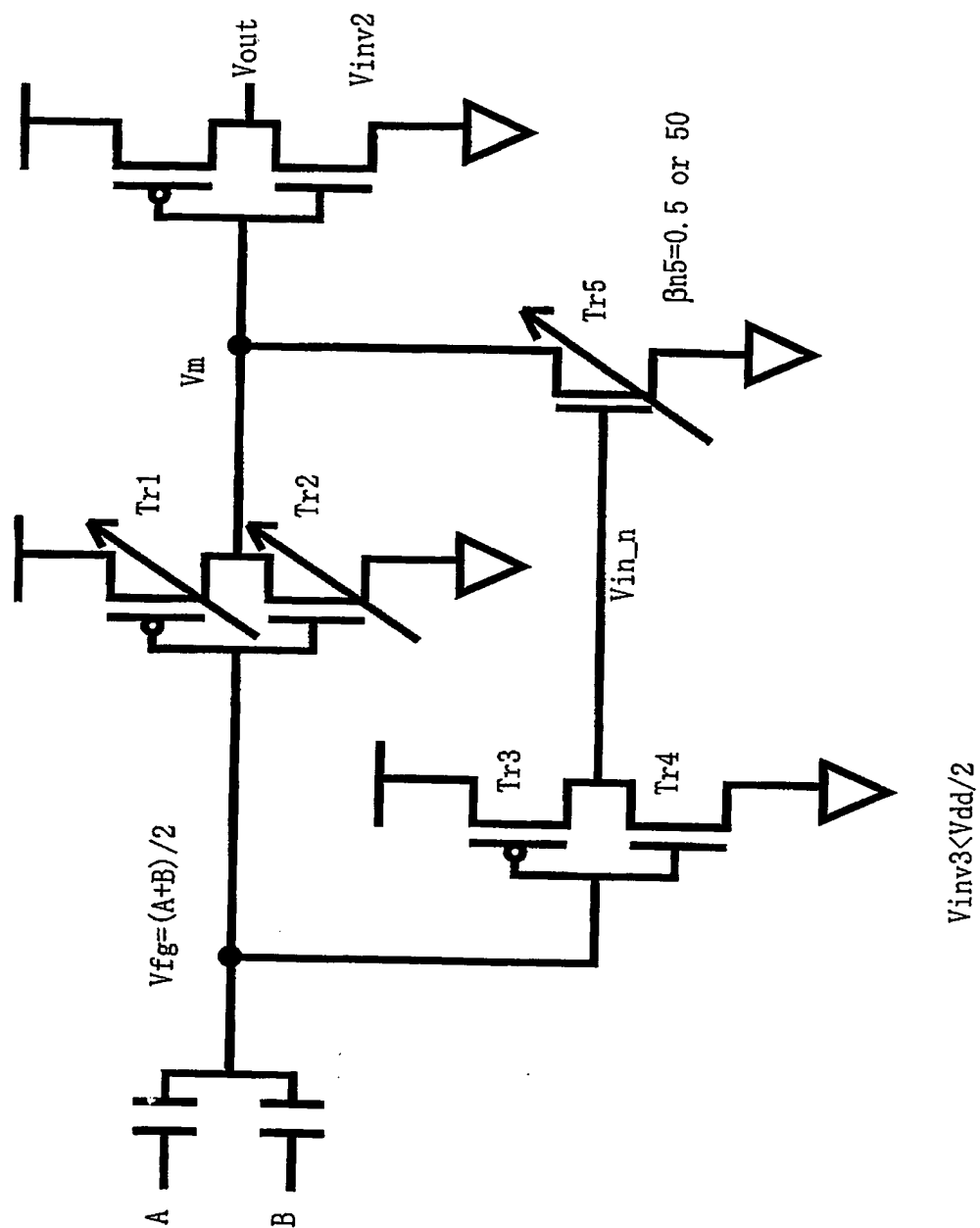
【図 28】



【図 29】

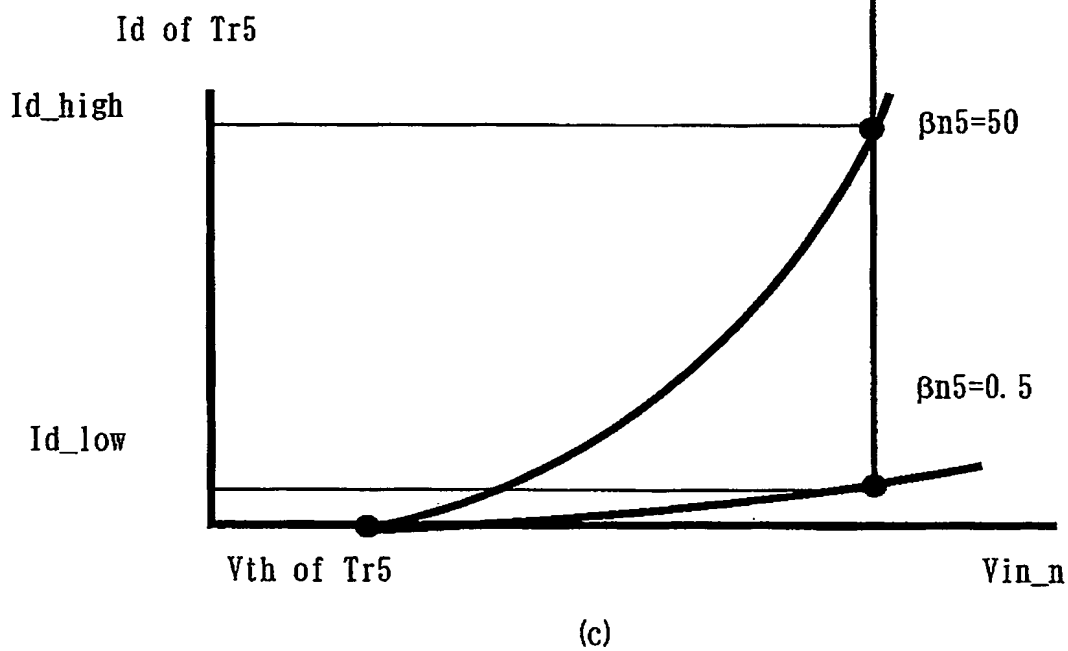
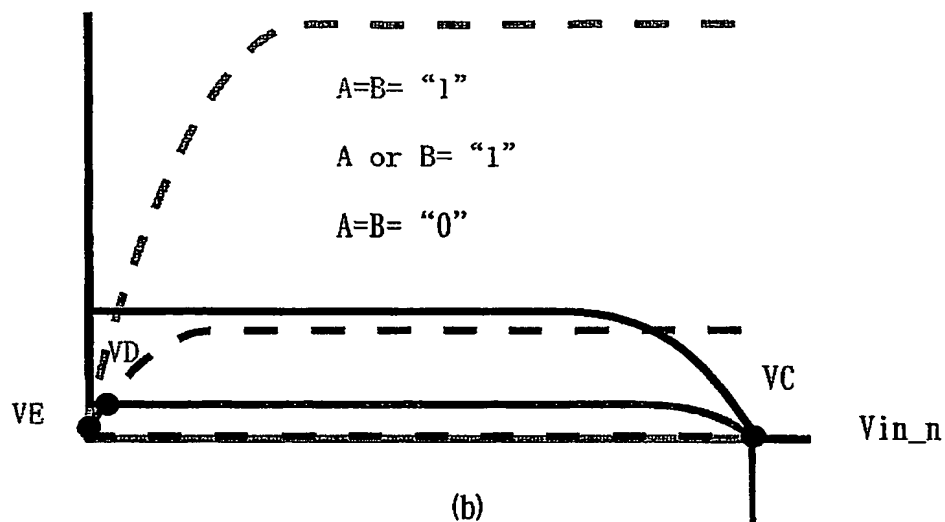


【図 30】

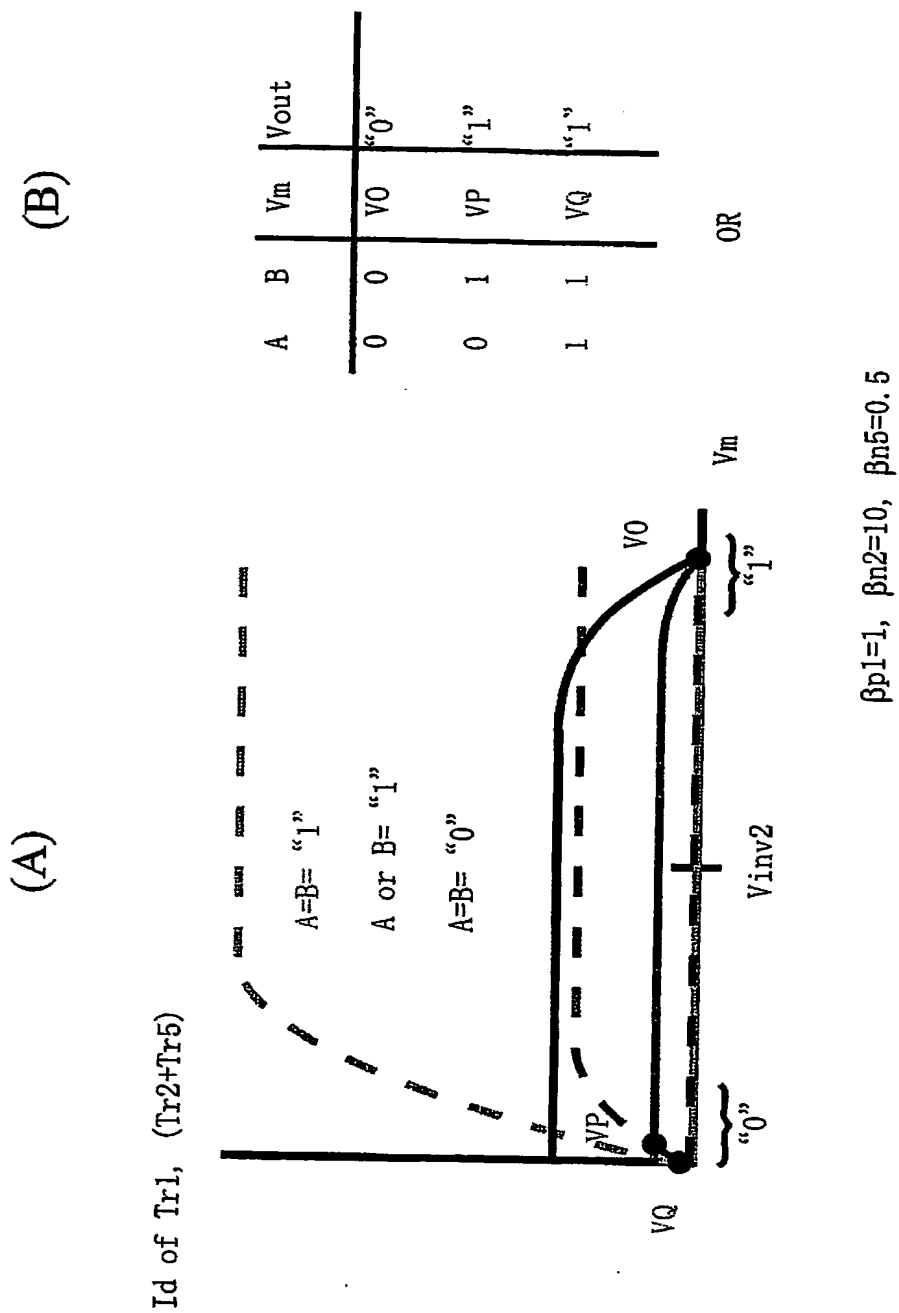


【図 31】

Id of Tr3, Tr4



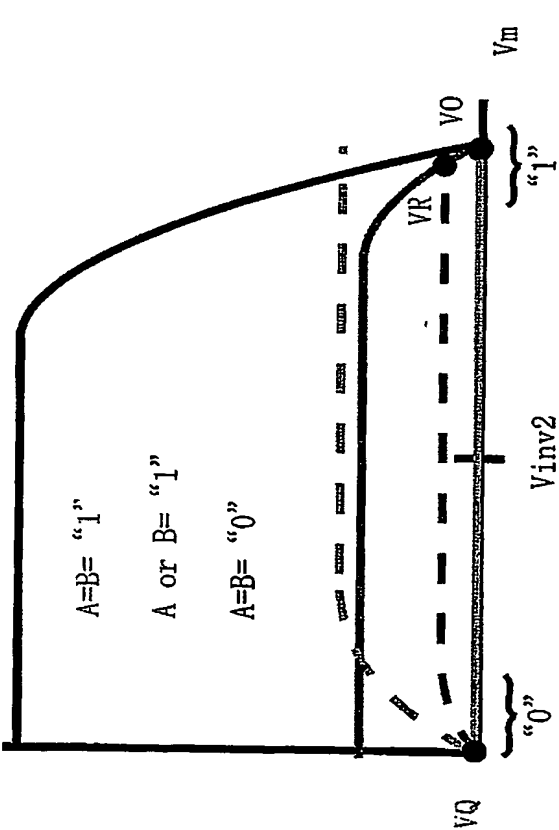
【図 3 2】



【図 33】

(A)

Id of Tr1, (Tr2+Tr5)



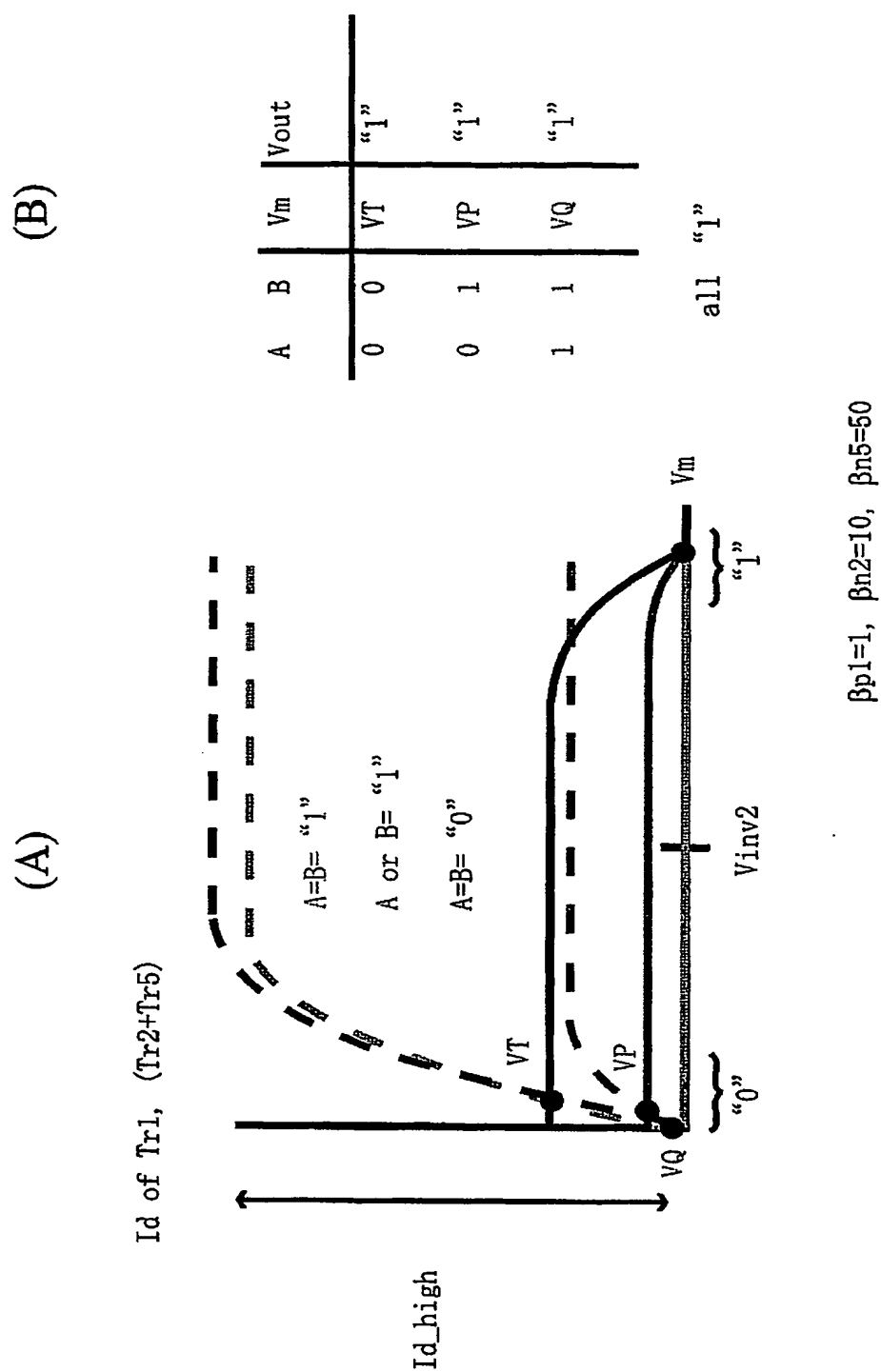
$\beta p1=10, \beta n2=1, \beta n5=0.5$

(B)

A	B	Vm	Vout
0	0	VQ	"0"
0	1	VR	"0"
1	1	VQ	"1"

AND

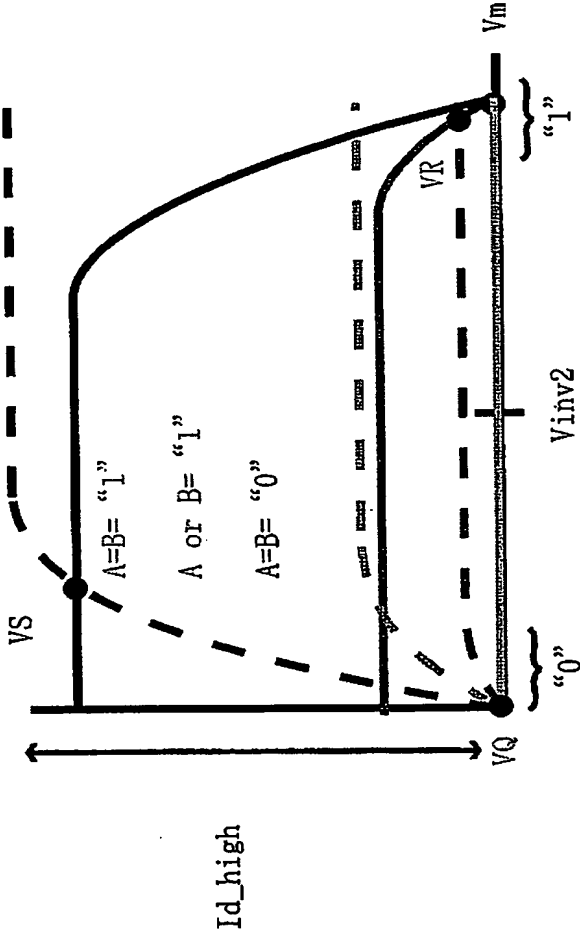
【図 3 4】



【図 35】

(A)

Id of Tr1, (Tr2+Tr5)



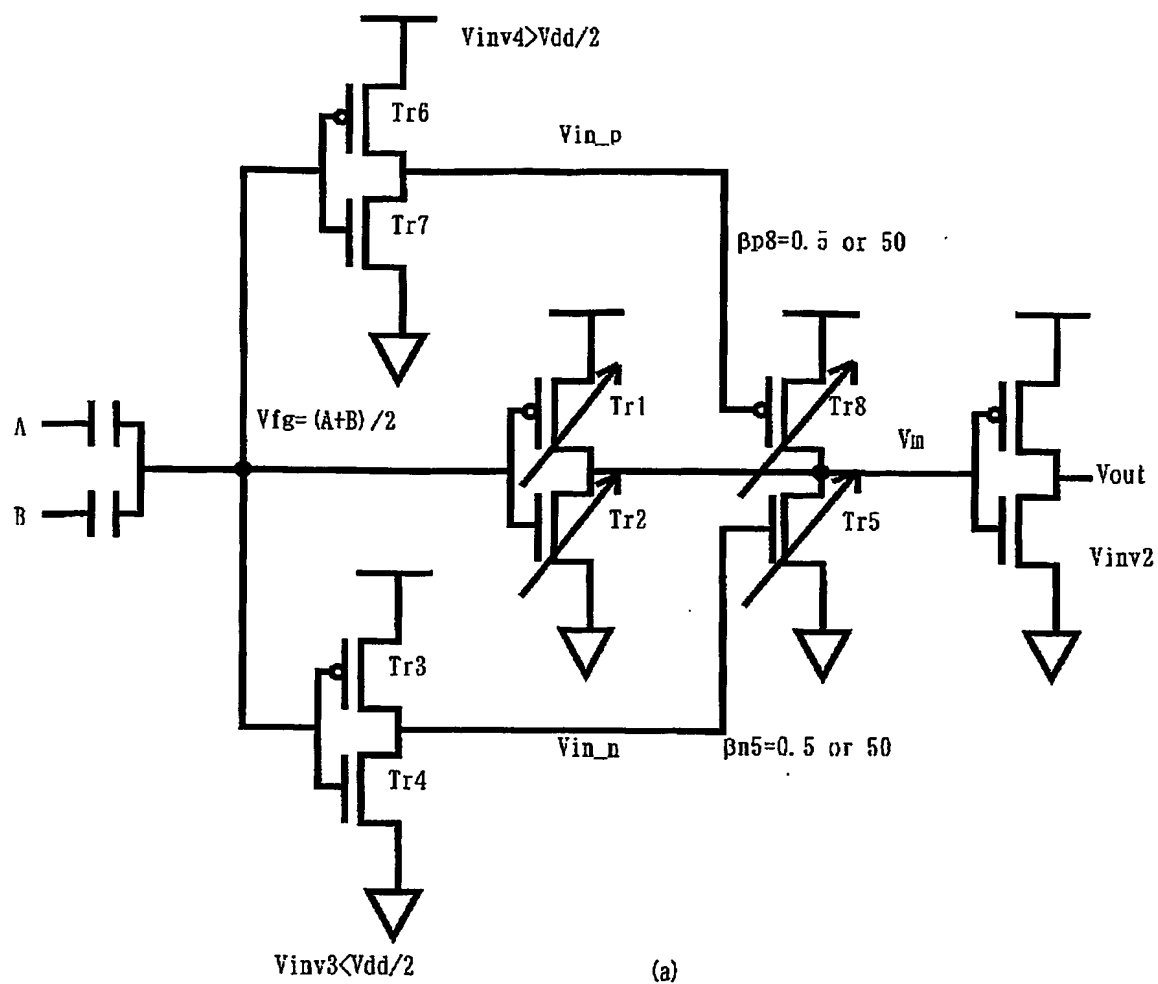
(B)

A	B	Vm	Vout
0	0	VS	"1"
0	1	VR	"0"
1	1	VQ	"1"

XNOR

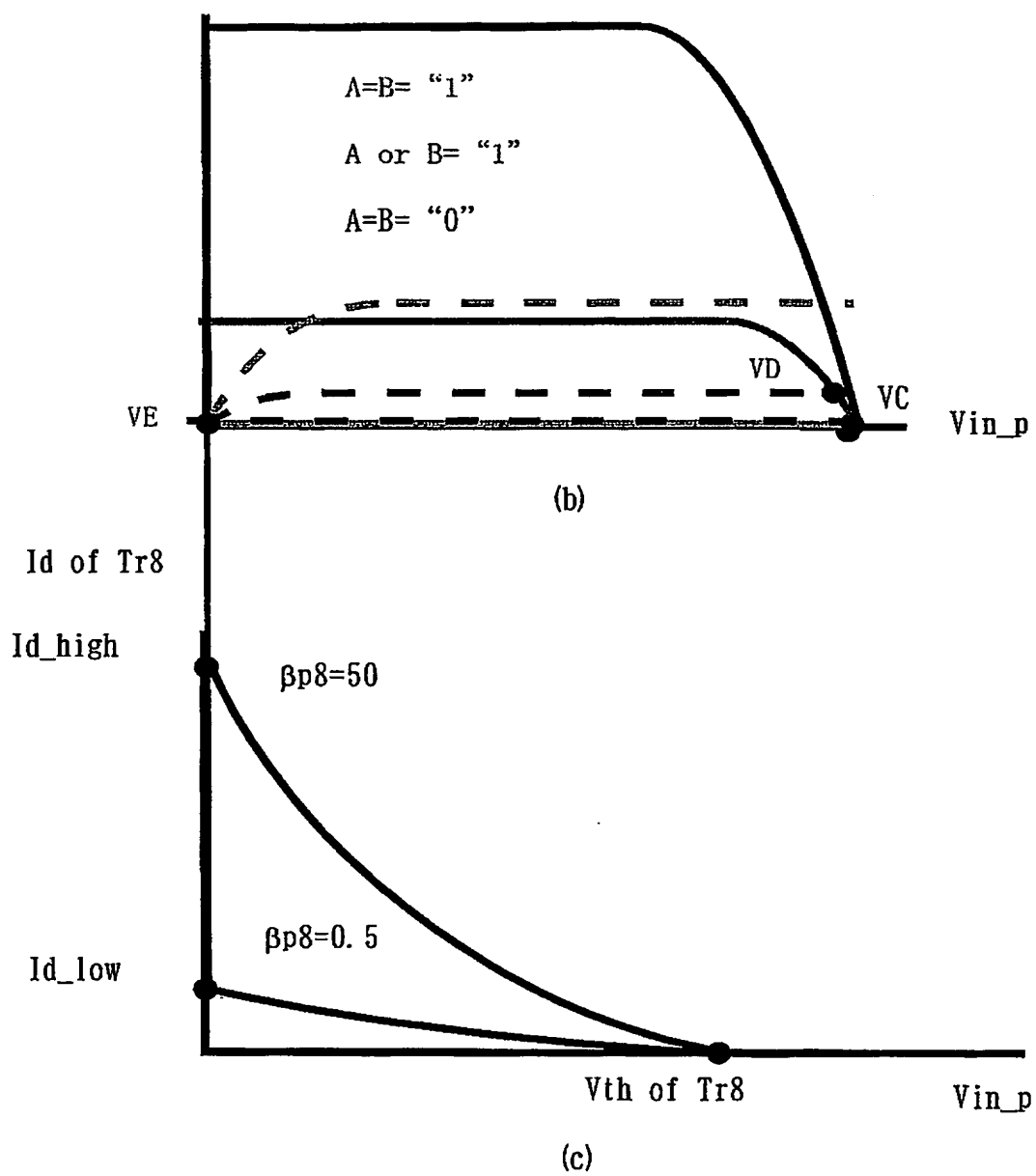
$\beta_{p1}=10, \beta_{n2}=1, \beta_{n5}=50$

【図 36】



【図 37】

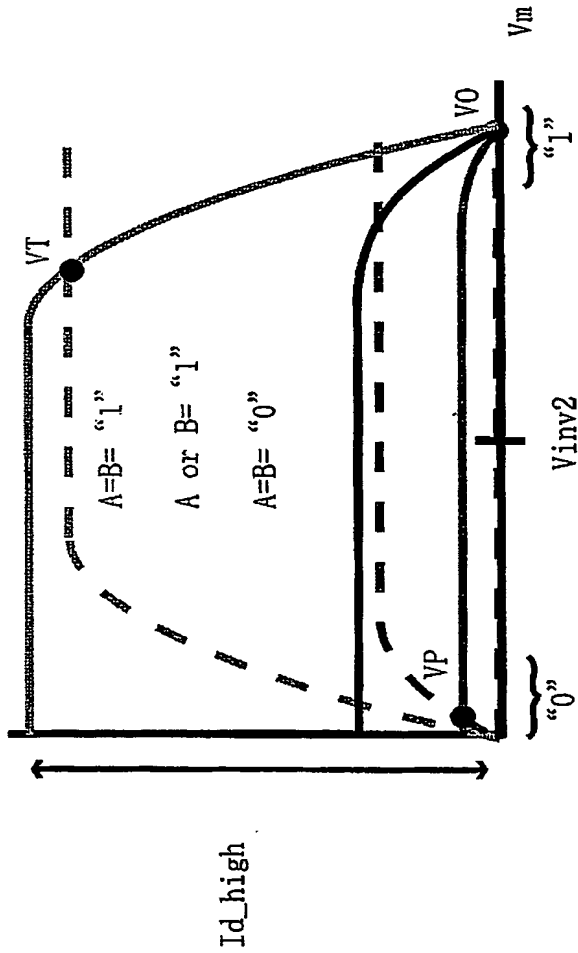
Id of Tr6, Tr7



【図 38】

(A)

Id of (Tr1+Tr8), (Tr2+Tr5)



(B)

A	B	Vm	Vout
0	0	V0	"0"
0	1	VP	"1"
1	1	VT	"0"

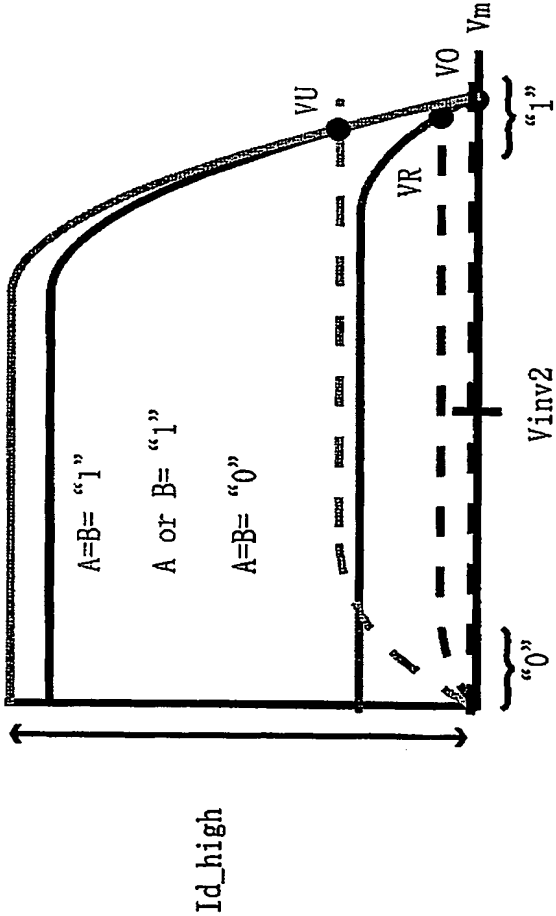
XOR

$\beta_{p1}=1, \beta_{n2}=10, \beta_{n5}=0.5, \beta_{p8}=50$

【図 3 9】

(A)

Id of (Tr1+Tr8), (Tr2+Tr5)



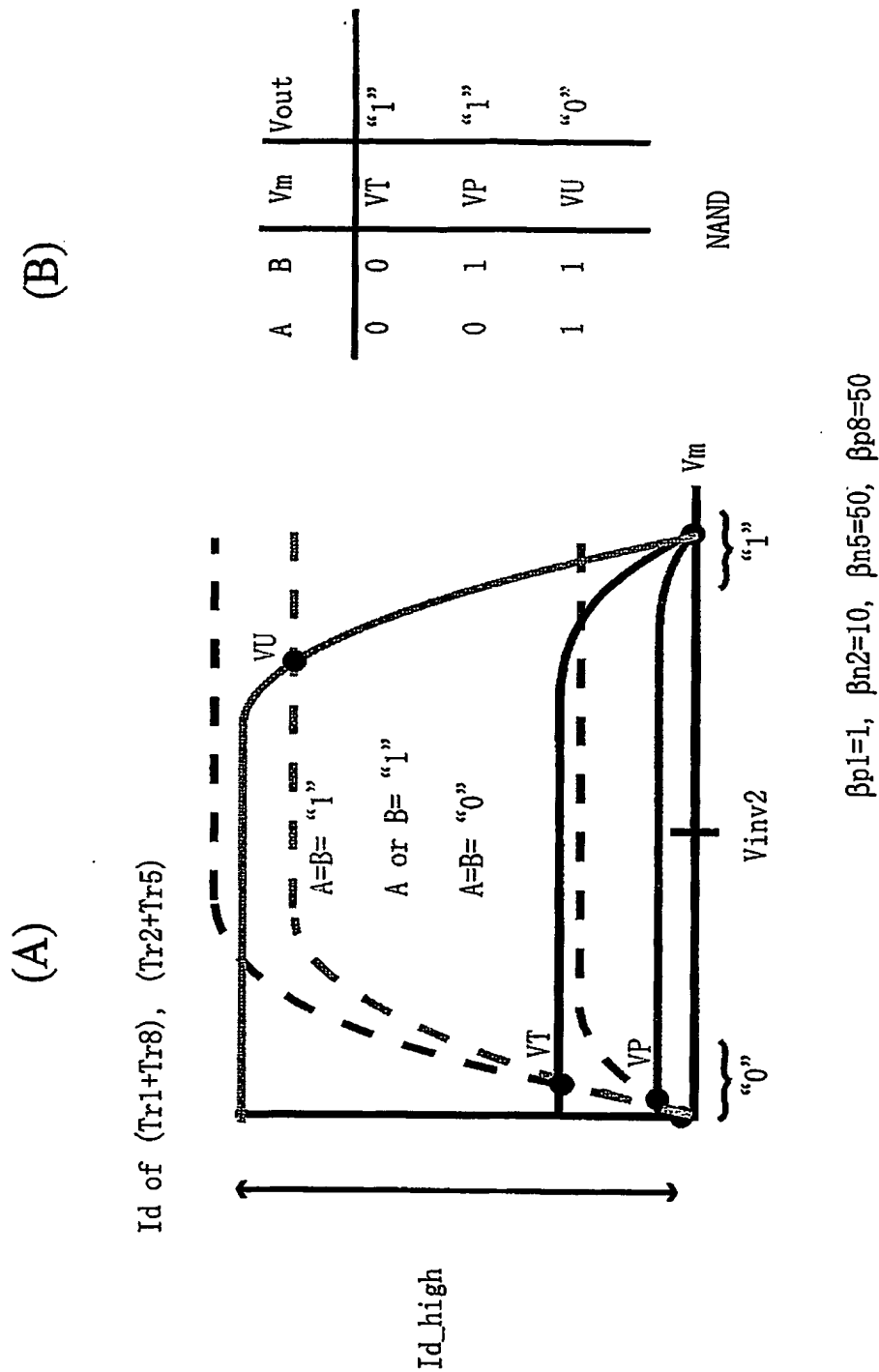
(B)

A	B	V _m	V _{out}
0	0	V _O	"0"
0	1	V _R	"0"
1	1	V _U	"0"

all "0"

$\beta_{p1}=10, \beta_{n2}=1, \beta_{n5}=0.5, \beta_{p8}=50$

【図40】



【図 4 1】

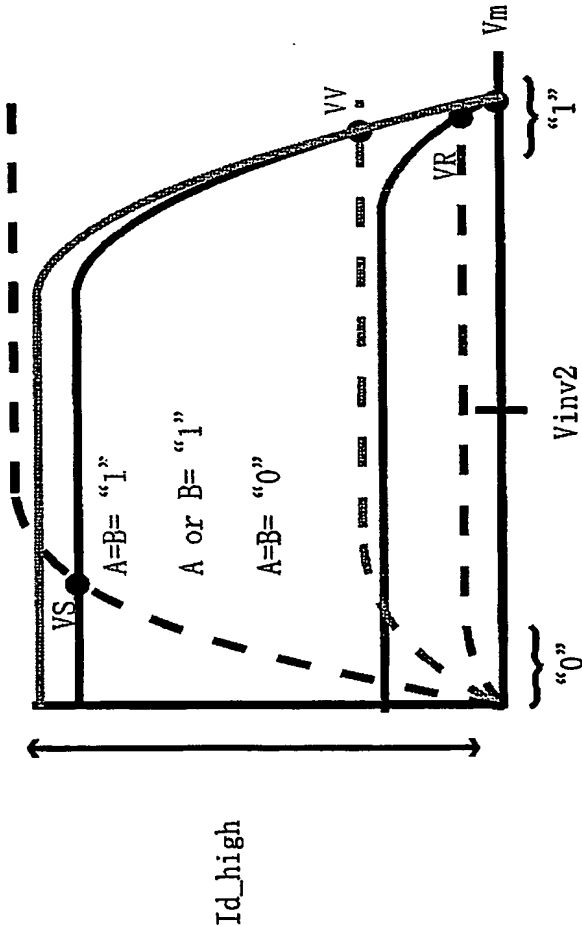
(B)

A	B	V _m	V _{out}
0	0	V _S	"1"
0	1	V _R	"0"
1	1	V _V	"0"

NOR

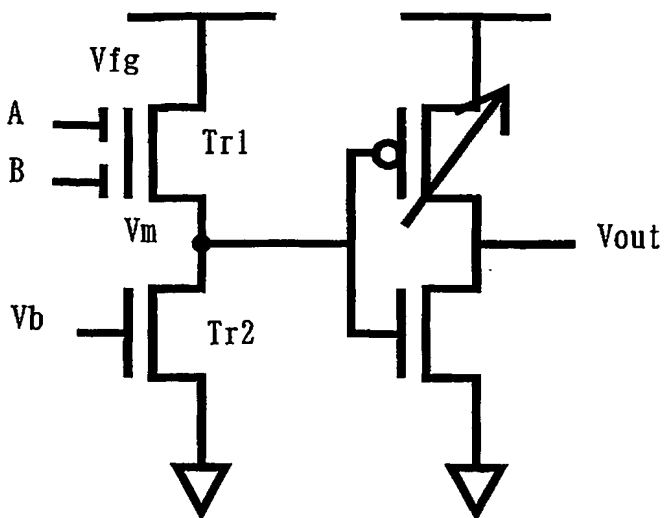
(A)

Id of (Tr1+Tr8), (Tr2+Tr5)

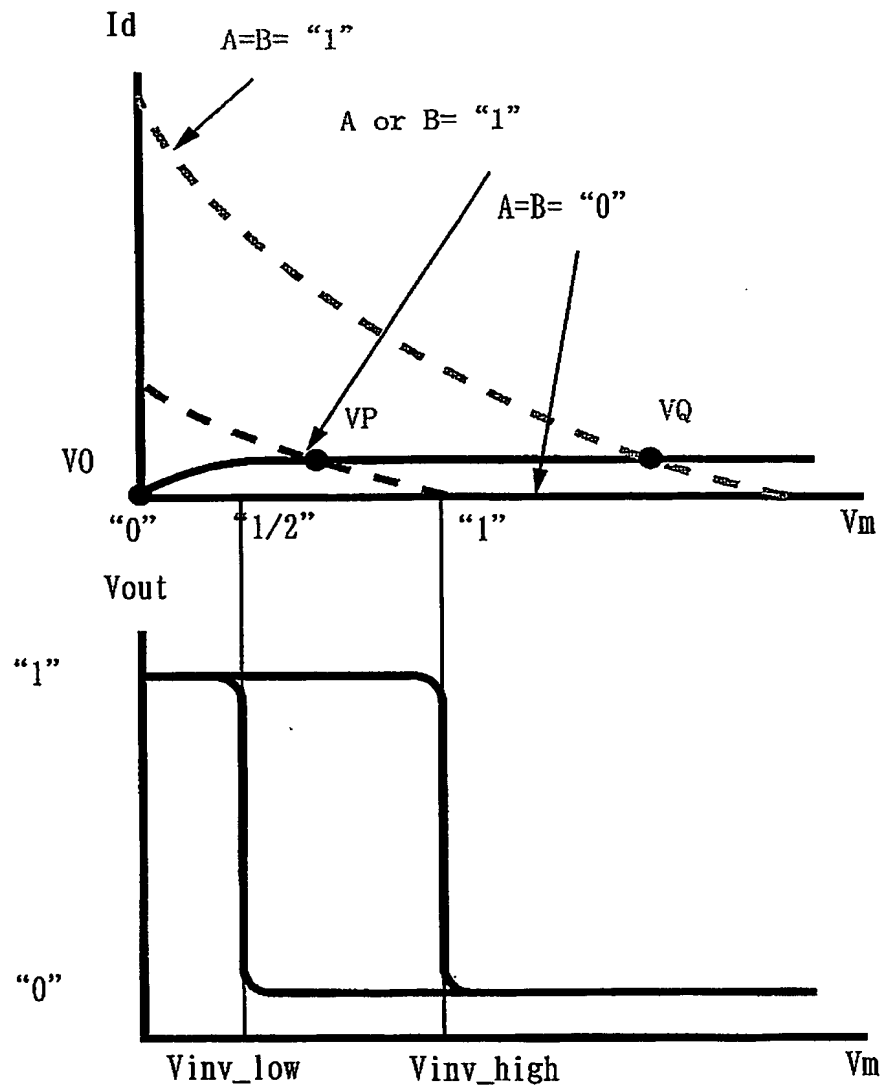


$\beta_{p1}=10, \beta_{n2}=1, \beta_{n5}=50, \beta_{p8}=50$

【図 4 2】

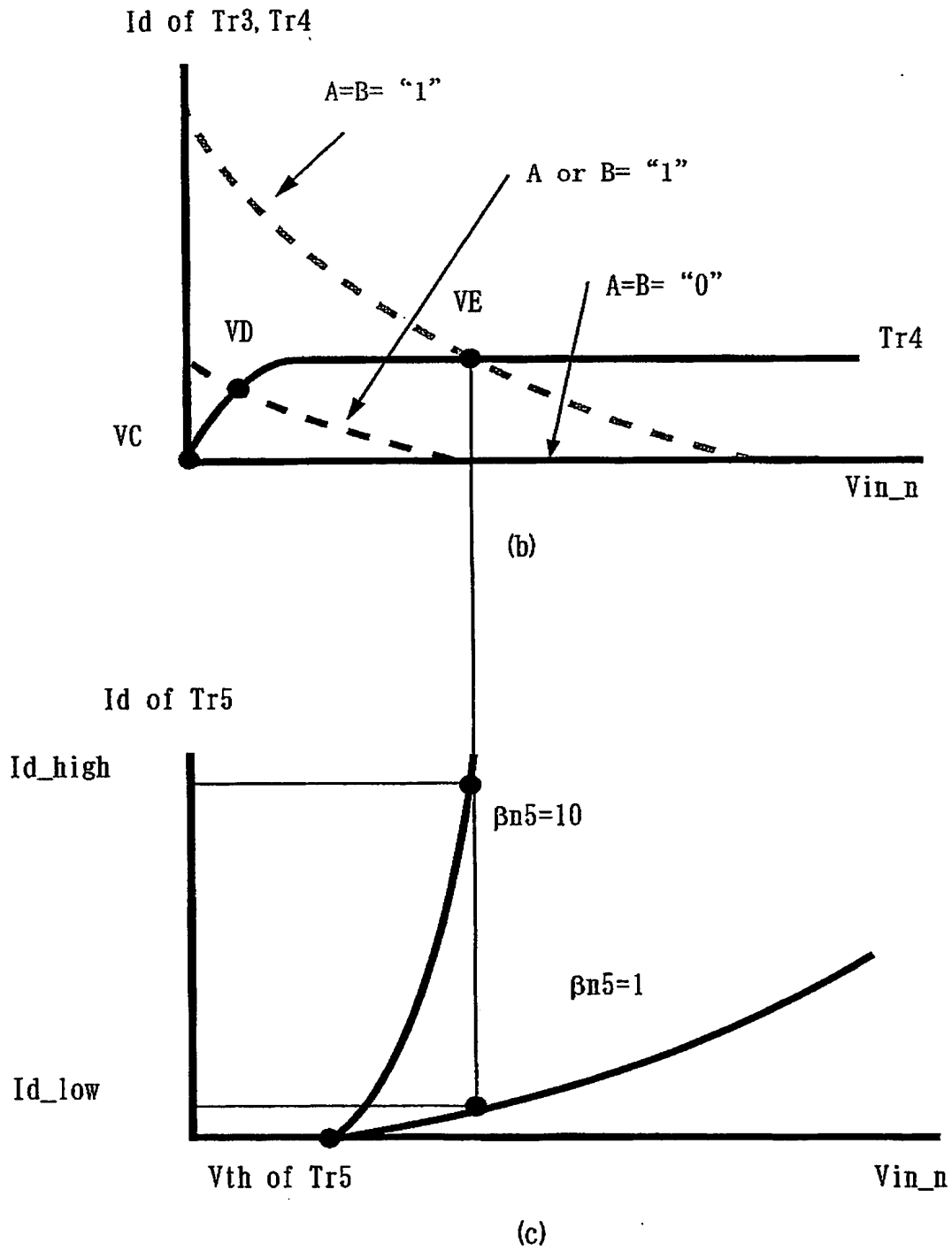


【図 43】



(b)

【図 4 6】

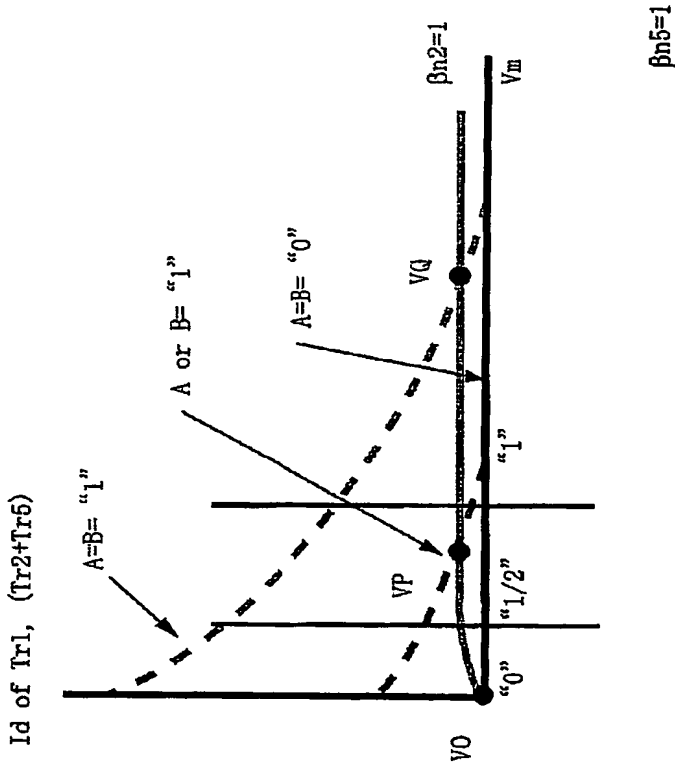


【図 47】

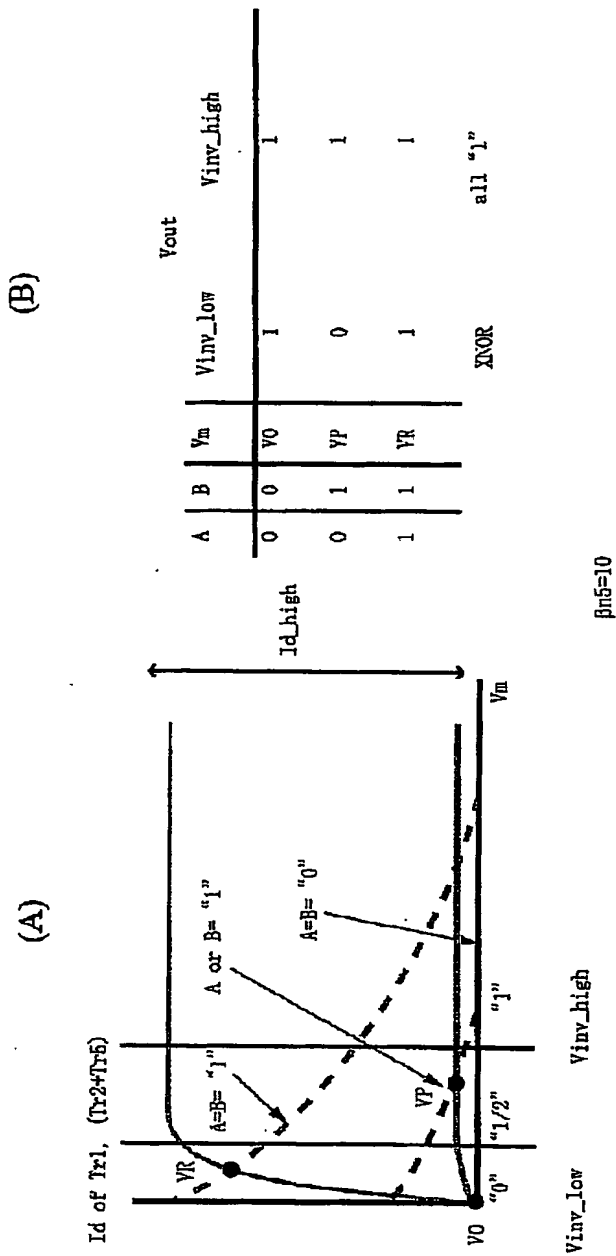
(B)

		Vout	
		Vinv_low	Vinv_high
A	B	Vm	
0	0	V0	1
0	1	VP	1
1	1	VQ	0
		NOR	NAND

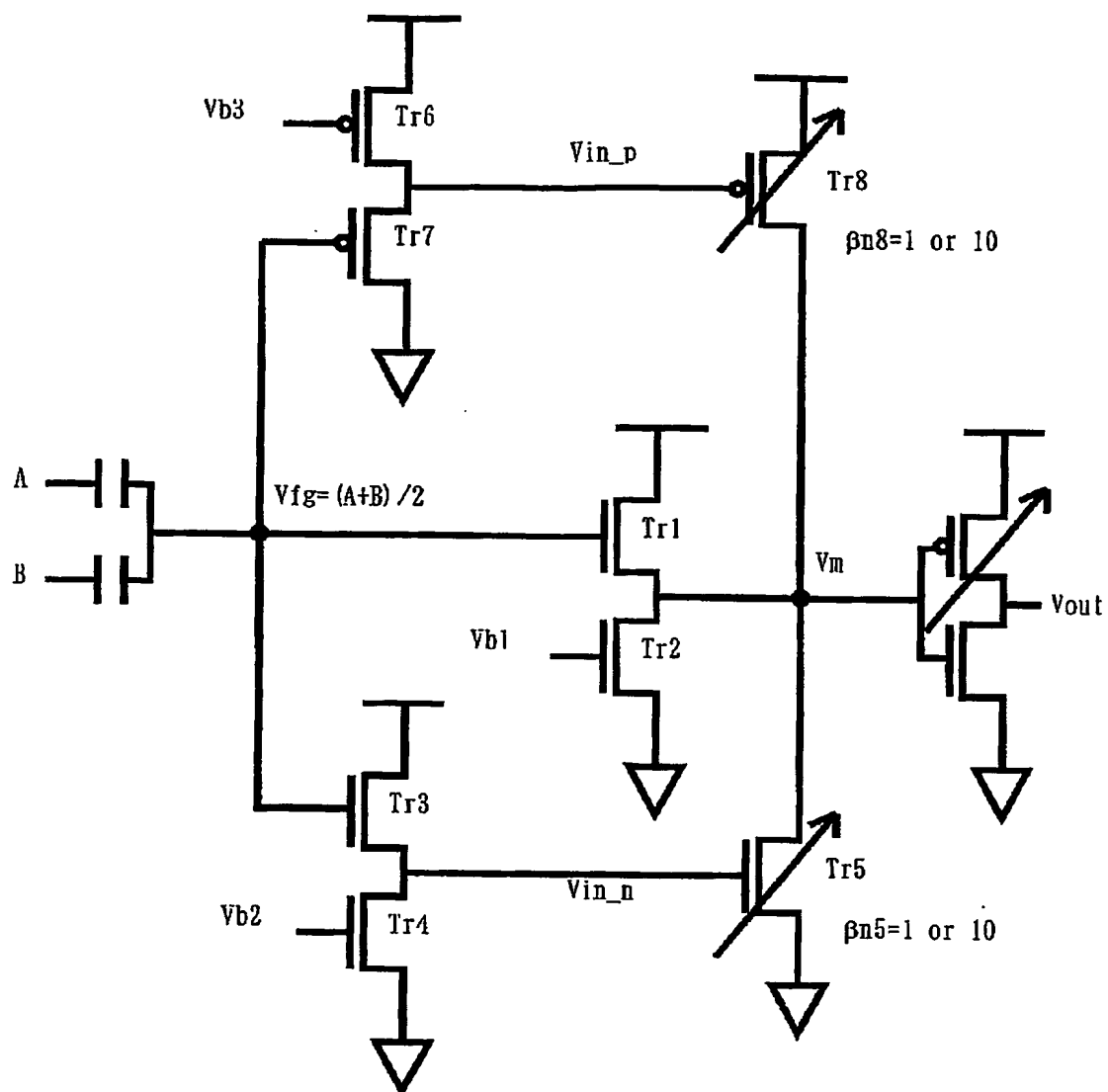
(A)



【図 48】

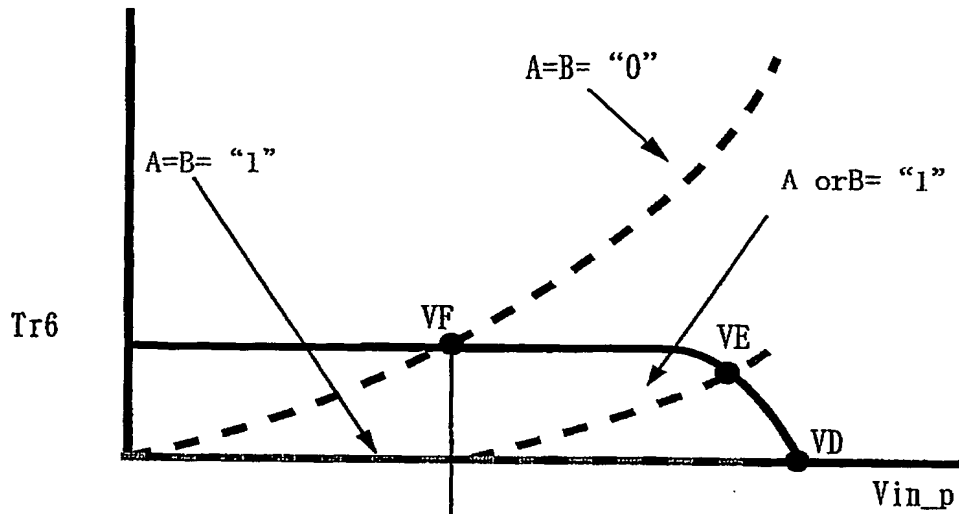


【図 4 9】

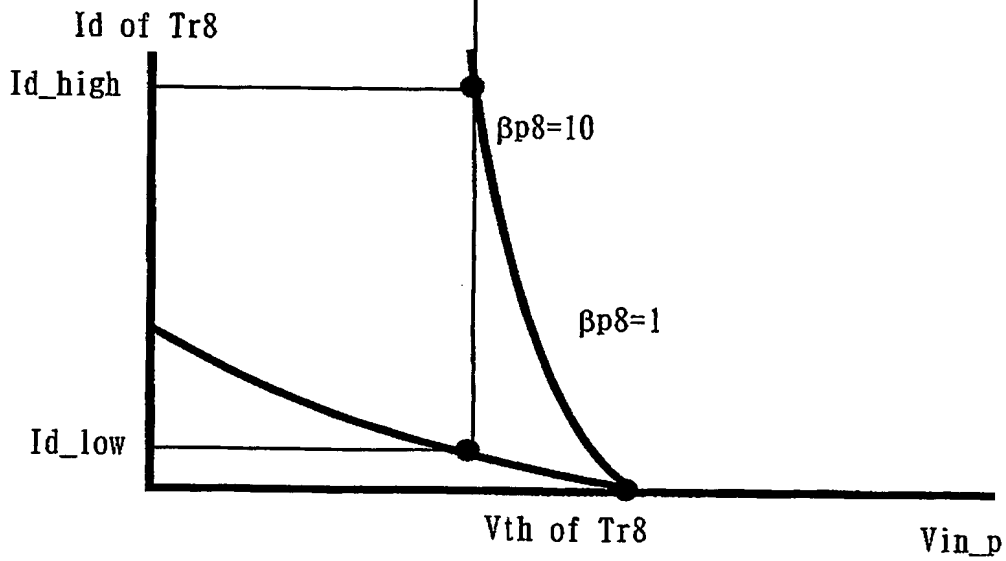


【図 50】

Id of Tr6, Tr7

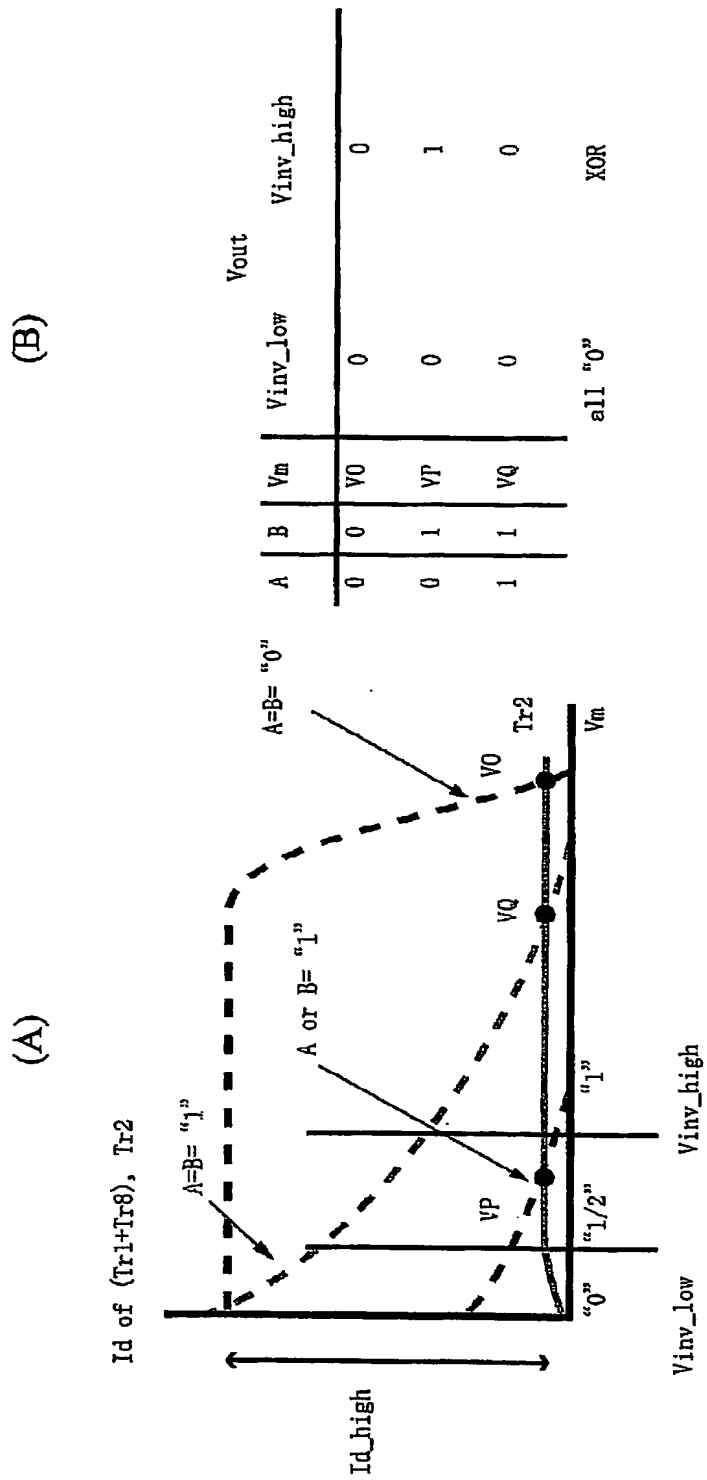


(b)



(c)

【図 51】



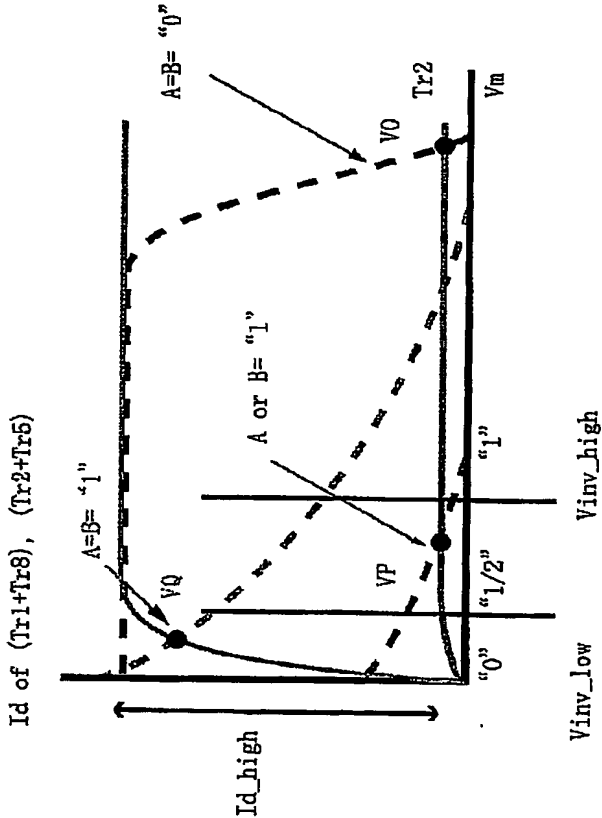
$$\beta n5=1, \beta p8=10$$

【図 5 2】

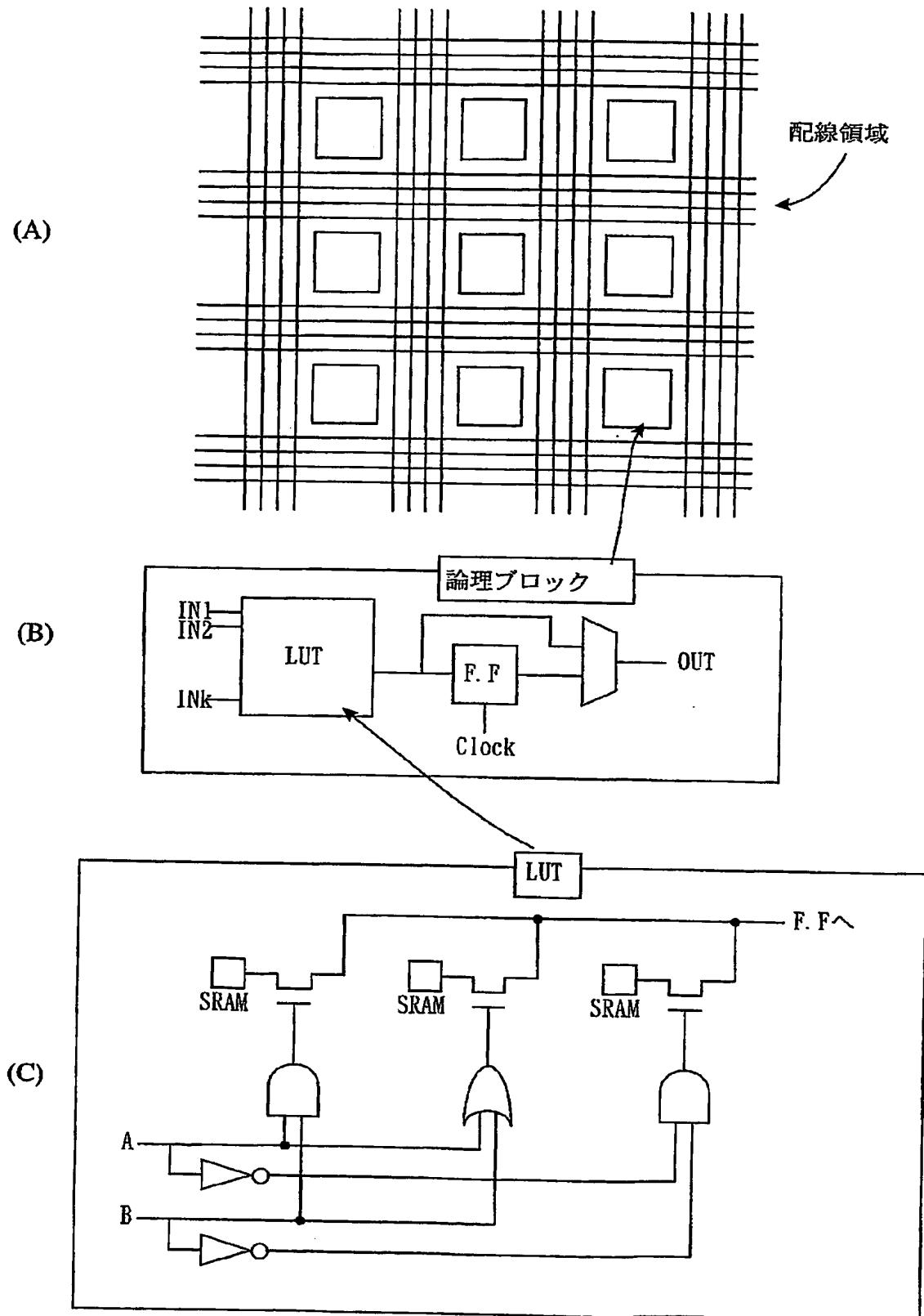
(B)

		Vout	
		Vinv_low	Vinv_high
B	Vm		
0	V0	0	0
1	VP	0	1
1	VQ	1	1
		AND	OR

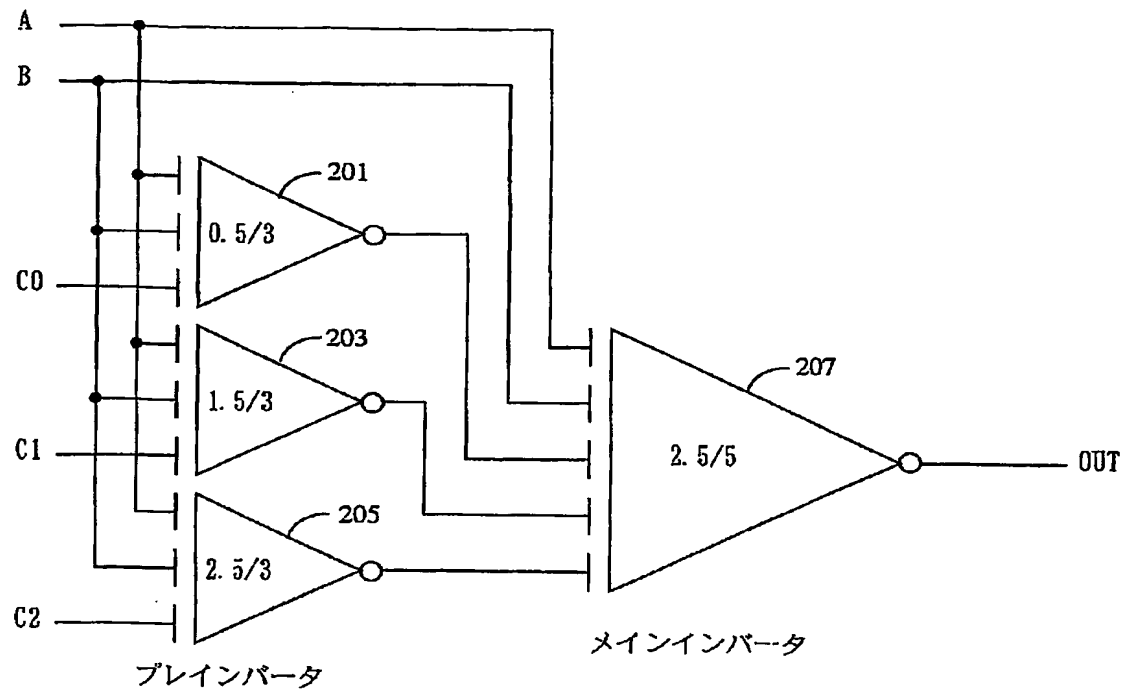
(A)



【図 53】



【図 5 4】



【書類名】 要約書

【要約】

【課題】 再構成可能な回路を構成する素子数を低減する。

【解決手段】 CMOS構成による再構成可能な論理回路である。スピントランジスタTr1、Tr2、Tr5、Tr8の伝達特性を変化させて動作点を移動させることでAND/OR/XOR/NAND/NOR/XNOR/“1”/“0”の全2入力対称関数が再構成可能である。少素子数で構成できるため、セル面積の小型化が可能で、高速・低消費電力動作が期待できる。

【選択図】 図36

【書類名】 出願人名義変更届（一般承継）
【提出日】 平成15年10月31日
【あて先】 特許庁長官 殿
【事件の表示】
【出願番号】 特願2003- 86499
【承継人】
【識別番号】 503360115
【住所又は居所】 埼玉県川口市本町四丁目1番8号
【氏名又は名称】 独立行政法人科学技術振興機構
【代表者】 沖村 憲樹
【連絡先】 〒102-8666 東京都千代田区四番町5-3 独立行政法人科学技術振興機構 知的財産戦略室 佐々木吉正 TEL 03-5214-8486 FAX 03-5214-8417

【提出物件の目録】
【物件名】 権利の承継を証明する書面 1
【援用の表示】 平成15年10月31日付提出の特第許3469156号にかかる一般承継による移転登録申請書に添付のものを援用する。
【物件名】 登記簿謄本 1
【援用の表示】 平成15年10月31日付提出の特第許3469156号にかかる一般承継による移転登録申請書に添付のものを援用する。

特願 2003-086499

ページ: 1

出願人履歴情報

識別番号

[396020800]

1. 変更年月日

1998年 2月24日

[変更理由]

名称変更

住所

埼玉県川口市本町4丁目1番8号

氏名

科学技術振興事業団



特願 2003-086499

出願人履歴情報

識別番号

[503360115]

1. 変更年月日

2003年10月 1日

[変更理由]

新規登録

住所

埼玉県川口市本町4丁目1番8号

氏名

独立行政法人 科学技術振興機構

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.